

## Lehrkonzept für den Bereich Technische Informatik

Die Professuren des Joint Labs „Wireless and Embedded Systems Design“ bieten jedes Semester die Vorlesungen aus dem Bereich der technischen Informatik an. Zusammen mit den Vorlesungen anderer Lehrender des Instituts für Informatik ergibt sich ein aufeinander abgestimmtes Gesamtangebot für den Bereich der Technischen Informatik. Das Angebot umfasst bisher:

Turnus	LV Name (Bachelor/Master)	Lehrender/ Lehrende	Inhalt
Jedes WS	Grundlagen der Informationsverarbeitung (Bachelor)	Lucke	Vermittelt die Grundlagen der Technische Informatik (Zahlendarstellung, Boolesche Algebra, logische Schaltungen, Schaltungsentwurf, Befehlsverarbeitung, Prozessoraufbau, Assembler)
Jedes SS	Prozessorarchitektur (Bachelor und Master)	Schölzel	Baut auf der VL Informationsverarbeitung auf. Vermittelt die Grundlagen zur Befehlsverarbeitung in Prozessoren und ihrer Architektur. (Pipelining, Sprungvorhersage, Caches, dynamische Ablaufplanung, Busse, Multi-Core Architekturen). Es findet eine Einführung in VHDL statt, die die Studierenden in die Lage versetzt einfache Prozessoren in VHDL zu beschreiben.
Jedes SS	Einführung in Hardware- und Systembeschreibungssprachen (Bachelor und Master)	Krstic	Baut auf der VL Informationsverarbeitung auf. Einführung Digitale Logik, VHDL, Designflow, Test und Verifizierung digitaler Systeme. Einführung in System-Level-Design-Languages (Beispiel: SystemC)
WS in geraden Jahren	Hardware-/Software Co-Design (Bachelor und Master)	Schölzel	Behandelt Methoden der Hardware- und Software-Synthese aus Verhaltensbeschreibungen, sowie die Behandlung von Modellen für die Verhaltens-/Strukturbeschreibung von Systemen.
WS in ungeraden Jahren	Sensornetze (Master)	Schölzel	Hardware für Sensornetze, Topologien und Protokolle für Sensornetze.
Jedes WS	Chipentwurf (Bachelor und Master)	Krstic	Behandelt die erforderlichen Schritte bis zur Fertigung eines Chips aus einem synthesefähigen VHDL-Entwurf. Enthält die echte Chip-Fertigung und Prüfung. Fügt sich damit gut an die VL Prozessorarchitektur und Entwurf Digitaler Systeme an.
unregelmäßig	Entwurf eingebetteter Systeme (Bachelor und Master)	Krstic	Führt einen systematischen Ansatz zum Entwurf eingebetteter Systeme ein (Model based Design, TLM,

			Hw/Sw-Sythese).
Jedes WS	Fehlertoleranz und Zuverlässigkeit (Bachelor und Master)	Gössel Schölzel	Es werden die Grundlagen Fehlertoleranter Systeme und der Zuverlässigkeit von Systemen behandelt.
SS mindestens jedes zweite Jahr	Codierungstheorie (Bachelor und Master)	Gössel	Es werden die Grundlagen fehlererkennender und fehlerkorrigierenden Codes für Datenübertragung und von Speicherfehlern einschließlich von BCH, Reed Solomon- und LDPC Codes behandelt.
unregelmäßig	Patentseminar Bachelor und Master	Gössel	Die Teilnehmer lernen ein Patent zu schreiben und Patente als Informationsquelle für ihre Arbeit zu nutzen
jedes zweite Sommersemester (in ungeraden Jahren)	Multimedia Signal Processing (Bachelor und Master)	Stabernack	Die grundsätzlichen Prinzipien der Signalverarbeitung von sog. Multimediadaten
jedes zweite Sommersemester (in geraden Jahren)	Reconfigurable Computing / Application Specific Computing (nur Master)	Stabernack	Die Studierenden sollen in die Lage versetzt werden eine gegebene Problemstellung in Bezug auf ihre spezifischen Rechenleistungsanforderungen hin zu untersuchen, und dafür auf der Grundlage des Reconfigurable Computing Paradigmas entsprechende Beschleunigerarchitekturen abzuleiten, umzusetzen und in eine heterogene Rechnerarchitektur zu integrieren
Jedes Semester	Forschungsprojekt	alle	Masterstudenten , eigenständiges Projekt

**Grundlagen der Informationsverarbeitung** (Vorlesung(2 Stunden pro Woche)/ Übung (2 Stunden pro Woche), 6 LP)

Turnus: jedes Wintersemester

*Veranstalter:* Prof. Dr. Ulrike Lucke

*Zielgruppe:* Bachelor (pflichtig)

*Voraussetzung:* keine

*Vorlesungssprache:* Deutsch

*Leistungspunkte:* 6 Leistungspunkte

*Inhalt:*

In dieser Lehrveranstaltung lernen Sie die verschiedenen Ebenen der rechnergestützten Informationsverarbeitung kennen und verstehen:

- Informationsrepräsentation im Rechner
- Prozessorarchitektur
- Rechnerarchitektur
- Hochsprachen und Maschinensprache

Sie lernen deren Zusammenspiel beim Entwurf komplexer Systeme zu berücksichtigen und effizienten Programmcode zu erstellen.

*Leistungsbewertung:*

Klausur (60-120 min)

*Anrechenbare Module:* 1030 (BS Informationsverarbeitung)

**Einführung in Hardware- und Systembeschreibungssprachen** (Vorlesung(2 Stunden pro Woche)/  
Übung (2 Stunden pro Woche), 6 LP)

Turnus: jedes Sommersemester

*Veranstalter:* Prof. Dr. Milos Krstic

*Zielgruppe:* empfohlen ab 2. Semester

*Voraussetzung:* Grundlagen der Informationsverarbeitung

*Vorlesungssprache:* Deutsch

*Leistungspunkte:* 6 Leistungspunkte

*Inhalt:*

Heutige Multiprozessorsysteme basieren auf der Nutzung der digitalen Logik. In diesem Kurs werden die Grundlagen des Designs und Tests der digitalen Systeme vorgestellt. Der Lehrplan umfasst die Einführung in VHDL, Design- und Testflow der digitalen Systeme. Darüber hinaus werden die System-Level-Design Aspekte angesprochen und Grundlagen der SystemC Programmierung mitgeteilt.

Hier ist die detaillierte Liste der Themen:

- Einführung Digitale Logik
- Einführung in HDL Beschreibungssprachen (Beispiel: VHDL)
- ASIC & FPGA Designflow
- Test und Verifizierung digitaler Systeme
- System Design und TLM Modellierung
- Einführung in System-Level-Design-Languages (Beispiel: SystemC)

Dieser Kurs beinhaltet Beispiele aus der Praxis und erfordert eine aktive Arbeit der Studenten.

*Leistungsbewertung*

Mündliche Prüfung.

*Anrechenbare Module:* 2050 (BS Technische Informatik), 8050...8051 (MS Technische Informatik II, III)

**Chipentwurf** (Vorlesung(2 Stunden pro Woche)/ Übung (2 Stunden pro Woche), 6 LP)

Turnus: jedes Wintersemester

*Veranstalter:* Prof. Dr. Milos Krstic

*Zielgruppe:*

*Voraussetzung:* Grundlagen der Informationsverarbeitung

*Vorlesungssprache:* Deutsch und Englisch (Vortrag, Folien)

*Leistungspunkte:* 6 Leistungspunkte

*Inhalt:*

Beim Design eingebetteter Systeme ist das Zusammenspiel von Software- und Hardwarekomponenten sehr wichtig. Die Grundlage beim Hardwareentwurf ist das Verständnis von diversen Schaltungskonzepten und Designmethodiken. In diesem Zusammenhang soll die Lehrveranstaltung das Konzept von synchronen und asynchronen Designs vorstellen. Aufbauend darauf soll der Entwicklungsprozess von Hardware-Systemen anhand von ASIC- und FPGA-Implementierungen exemplarisch nachvollzogen werden. Ziel dieses Kurses ist das Verständnis der Studenten in Bezug auf Hardwaredesign zu erweitern.

Hier ist die detaillierte Liste der Themen:

- Einführung, VLSI Design
- Hardwareentwurfprinzipien
- Advanced VHDL für Logiksynthese
- Asynchrone Designmethoden
- ASIC Designflow (Logiksynthese, Layout, Verification)
- FPGA Design
- Chip Fertigungsprozess und Chiptest

Diese Veranstaltung beinhaltet Beispiele aus der Praxis und erfordert eine aktive Arbeit der Studenten. Durch diesen Kurs werden die Studierenden in der Lage sein, den Chip zu entwerfen, der tatsächlich im IHP produziert wird. Sie würden auch einen Überblick über die Chip-Produktion bekommen. Schließlich können die Studierenden den tatsächlich produzierten Chip testen.

*Leistungsbewertung*

Die Leistungsbewertung erfolgt basierend auf Projektergebnissen und mündlichen Prüfung.

*Anrechenbare Module:* 2050 (BS Technische Informatik), 8050...8051 (MS Technische Informatik II, III)

**Embedded System Design** (2 Stunden pro Woche (1V/1Ü), 3 LP)

Turnus: NA

*Veranstalter:* Prof. Dr. Milos Krstic

*Zielgruppe:* empfohlen ab 5. Semester

*Voraussetzung:* Grundlagen der Informationsverarbeitung

*Vorlesungssprache:* English und Deutsch

*Leistungspunkte:* 3 Leistungspunkte

*Inhalt:*

Design of the highly complex embedded systems is today very challenging. In order to effectively design such system and reduce time to market the innovative design methodology of system design needs to be applied. In this course we will analyse the system design methodology and following topics:

- Introduction to System Design
- System Design Methodologies
- Modelling
- System Synthesis
- Hardware & Software Synthesis
- Verification
- High level synthesis of processor

This course contains the examples from the praxis and requires active work of the student.

During the semester this course will include 1 hour/week of lectures and 1 hour/week exercises.

After the semester end students should prepare and present their own project.

*Leistungsbewertung*

Die Leistungsbewertung erfolgt anhand eines Vortrages basierend auf Projektergebnissen.

*Anrechenbare Module:* 6030 – *Wissenschaftliches Arbeiten – BS*; 10020 – *Forschungsmodul MS*

## **Hardware/Software-Codesign** (4 Stunden pro Woche (2VL/2Ü))

Turnus: jedes zweite Wintersemester (in geraden Jahren)

*Veranstalter:* Prof. Dr. Mario Schölzel

*Zielgruppe:* Bachelor ICS, Master COS

*Voraussetzung:* Grundlagen der Datenverarbeitung

*Vorlesungssprache:* Deutsch

*Leistungspunkte:* 6 Leistungspunkte

### *Inhalt:*

Ziel beim Hardware/Software-Codesign ist das Finden optimal aneinander angepasster Hardware- und Software-Lösungen, die gemeinsam eine spezifizierte Aufgabe erfüllen, wobei die Optimalität hinsichtlich vorgegebener Kosten wie zum Beispiel Zeit, Stromverbrauch, Platz, etc. zu erzielen ist.

Um dieses Ziel zu erreichen, müssen unterschiedliche Entwurfsalternativen in den verschiedenen Ebenen des Systementwurfs betrachtet und gegeneinander abgewogen werden. Dies setzt Kenntnisse in verschiedenen Bereichen der Informatik voraus, wie beispielsweise Techniken zur Spezifikation und Modellierung eines Systems, Kenntnisse über Programmiersprachen und Hardwarebeschreibungssprachen, Kenntnisse zum Hardwareentwurf sowie Kenntnisse über Compiler und andere Entwicklungswerkzeuge, die für die Entwicklung anwendungsspezifischer Hardware und Prozessoren benötigt werden.

In der Vorlesung werden folgende Themen behandelt:

- Einführung in Hardwarebeschreibungssprachen (VHDL) und Modelle
- Ebenen des Entwurfs: Systemebene, Architekturebene, Logikebene
- Grundlagen zu HW-Architekturen: ASICs, FPGAs, Überblick über Prozessorarchitekturen wie RISC, CISC, DSP, VLIW, ASIP
- Retargierbare Compiler und Softwaresynthese: Techniken zur konfigurierbaren Zielcodeerzeugung für anwendungsspezifische Prozessoren, Optimierungstechniken
- Techniken zur High-Level-Synthese
- Systemsynthese

### *Leistungsbewertung*

Die Leistungsbewertung erfolgt anhand einer mündlichen Prüfung.

*Anrechenbare Module:* 2050 (BS Technische Informatik), 8050...8051 (MS Technische Informatik II, III)

## **Zuverlässigkeit und Fehlertoleranz** (4 Stunden pro Woche (2VL/2Ü))

Turnus: jedes Wintersemester

*Veranstalter:* Prof. Dr. Mario Schölzel, Prof. Dr. Michael Gössel

*Zielgruppe:* Bachelor ICS, Master COS

*Voraussetzung:* Grundlagen der Datenverarbeitung

*Vorlesungssprache:* Deutsch

*Leistungspunkte:* 6 Leistungspunkte

### *Inhalt:*

Die Vorlesung Zuverlässigkeit und Fehlertoleranz vermittelt grundlegende Kenntnisse für das Verstehen, den Entwurf, die Anwendung und die Bewertung fehlertoleranter und zuverlässiger Systeme.

Durch die sich jahrelang und weiterhin verkleinernden Dimensionen elektrischer Bauelemente reduzieren sich die Herstellungskosten elektronischer Schaltungen und Systeme. Gleichzeitig nimmt ihre Fehleranfälligkeit zu. Um zuverlässige Schaltungen in modernen Technologien realisieren zu können, sind daher zunehmend Verfahren des fehlertoleranten Systementwurfes erforderlich.

Diese werden in der Vorlesung behandelt. Die folgende Begriffe sind in der Vorlesung wichtig:

- Technische Fehler und funktionelle Fehler
- Fehlermodelle
- Hardwaretest-Algorithmen
- Eingebauter Selbsttest
- Testdatenkompaktierung
- Verfahren der On-line Fehlererkennung
- Fehlertoleranz und Verwendung fehlerkorrigierender Codes
- Triple Modular Redundacy (TMR)
- Selbstprüfende und Selbsttestende Schaltungen
- Systemzuverlässigkeit (Verfügbarkeit, Sicherheit, Wartbarkeit)
- Administration von Redundanz
- Modellierung der Zuverlässigkeit (kombinatorische Modelle und Markov-Modelle)
- Softwarebasierter Test und Selbsttest
- Software-Fehlertoleranz für Prozessoren

### *Leistungsbewertung*

Die Leistungsbewertung erfolgt anhand einer schriftlichen oder mündlichen Prüfung.

*Anrechenbare Module:* 2050 (BS Technische Informatik), 8050...8051 (MS Technische Informatik II, III)



## **Prozessorarchitektur** (4 Stunden pro Woche (2VL/2Ü))

Turnus: jedes Sommersemester

*Veranstalter:* Prof. Dr. Mario Schölzel

*Zielgruppe:* Bachelor ICS, Master COS

*Voraussetzung:* Grundlagen der Datenverarbeitung

*Vorlesungssprache:* Deutsch

*Leistungspunkte:* 6 Leistungspunkte

### *Inhalt:*

Die Vorlesung Prozessorarchitektur führt grundlegende Architekturkonzepte moderner Prozessoren ein. Es werden behandelt:

- Architekturkonzepte für Prozessor-Cores
- Parallelitätskonzepte (Pipelining, dynamische Ablaufplanung, Multithreading)
- Multi-Core-Architekturen
- Bussysteme
- Speicher und Caches (für Multi-Cores),
- Virtuelle Speicherverwaltung

Neben den prinzipiellen Techniken werden auch verschiedene reale Prozessorarchitekturen (z.B. Intel, ARM) betrachtet und die dortige Umsetzung dieser Konzepte vorgestellt. Begleitend zur Vorlesung finden Übungen statt in denen verschiedene Konzepte in VHDL implementiert und auf einem FPGA getestet werden.

### *Leistungsbewertung*

Die Leistungsbewertung erfolgt anhand einer mündlichen Prüfung.

*Anrechenbare Module:* 2050 (BS Technische Informatik), 8050...8051 (MS Technische Informatik II, III)

## **Codierungstheorie** (4 Stunden pro Woche (2VL/2Ü))

Turnus: SS mindestens jedes zweite Jahr

*Veranstalter:* Prof. M. Gössel

*Zielgruppe:* Bachelor ICS, Master COS, Bachelor/Master Mathematik

*Voraussetzung:* Grundlagen der Datenverarbeitung

*Vorlesungssprache:* Deutsch

*Leistungspunkte:* 6 Leistungspunkte

In der Vorlesung Codierungstheorie werden die Grundlagen der Codierungstheorie für die Datenübertragung und für die Fehlerbehandlung von Speicherfehlern behandelt.

Ziel der Vorlesung ist es, dass die Teilnehmer erlernen, Verfahren der Codierungstheorie auf praktische Probleme selbstständig anzuwenden.

Inhaltliche Schwerpunkte sind:

Grundlagen linearer Block-Codes (Hamming-Abstand, Generatormatrix, H-Matrix, Hamming-Code, Hsiao-Code, Restfehlerwahrscheinlichkeit, einfache nichtlineare Codes)

Zyklische Codes und ihre Decodierbarkeit, Decodierbarkeit durch Schieberegister

Endliche Körper und ihre Anwendung zum Entwurf von BCH-Codes und Reed-Solomon-Codes

Low-Density-Parity-Codes und ihre Decodierung

Ethische Probleme von Restfehlerwahrscheinlichkeiten und nicht korrigierten oder nicht korrigierbaren Fehlern spielen eine wichtige Rolle

Grundlegende Aussagen über endliche Körper werden nicht vorausgesetzt, sondern in der Vorlesung dargestellt.

Die Veranstaltung umfasst zwei Stunden Vorlesung und zwei Stunden Übungen

### *Leistungsbewertung*

Die Prüfung erfolgt schriftlich durch eine Klausur am Ende der Vorlesung.

*Anrechenbare Module:* 2050 (BS Technische Informatik), 8050...8051 (MS Technische Informatik II, III) 3061 (INF, Kryptographie und ihre Komplexität), 8061 (COS, Kryptographische Verfahren und ihre Komplexität)

## **Patentseminar (Patente der Digitaltechnik)**

Turnus: unregelmäßig

*Seminar*

*Veranstalter:* Prof. M. Gössel

*Zielgruppe:* Bachelor ICS, Master COS

*Voraussetzung:* Grundlagen der Datenverarbeitung

*Sprache:* Deutsch

*Leistungspunkte:* 3 oder 6 Leistungspunkte, eigenständige Arbeit

Ziel des Patentseminars ist, dass die Teilnehmer Patente als Informationsquelle und als Schutzmöglichkeit ihrer Ergebnisse in ihrer Arbeit nutzen.

Auf Grund der technischen Entwicklung spielen Patente eine immer stärkere Rolle. Durch die zunehmende Globalisierung der Produktion sind Patente zunehmend die einzige Möglichkeit, eigenständige Produkte zu sichern.

Die Teilnehmer lernen ein eigenes Patent zu schreiben, eine Recherche zu einem vorgegebenen Themengebiet vorzunehmen und den Stand der Technik mit dem in Zeitschriften publizierten Stand der Technik zu vergleichen, die Umgehbarkeit eines Patentbesitzes zu prüfen und Kriterien zu überlegen, ob sich eine Patentierung einer ihrer eigenen Ideen und Ergebnisse lohnt

Es wird eine selbständige eigene Arbeit erwartet.

### *Leistungsbewertung*

Die Bewertung erfolgt anhand des erarbeiteten Patentvorschlages und einer umfangreichen Recherche zu einem vorgegebenen Thema

Eine Teilnahme an mindestens 80% der Seminartermine und an zwei Konsultationen ist erforderlich, um das Seminar zu bestehen.

*Anrechenbare Module: ICS 2080 (BS Informatik und Gesellschaft), 6030 (BS Wissenschaftliches Arbeiten); COS 8050, 8051 (MS Technische Informatik II, III) 8080 (MS Informatik und Gesellschaft II), 10020 (MS Forschungsmodul)*

*(Hinweis: Bitte beachten Sie, dass je nach Prüfungsanmeldung 3 LP oder 6 LP möglich sind.)*

**Multimedia Signal Processing** (Vorlesung(2 Stunden pro Woche)/ Übung (2 Stunden pro Woche, 6 LP)

Turnus: jedes zweite Sommersemester (in ungeraden Jahren)

*Veranstalter:* Prof. Dr. Benno Stabernack

*Zielgruppe:* empfohlen ab 2. Semester

*Voraussetzung:* Grundlagen der Informationsverarbeitung

*Vorlesungssprache:* Deutsch

*Leistungspunkte:* 6 Leistungspunkte

*Inhalt:*

Im Rahmen der Lehrveranstaltung werden die grundsätzlichen Prinzipien der Signalverarbeitung von sog. Multimediadaten vermittelt. Dazu gehören die Grundlagen der Signalverarbeitung von Audio- wie auch Videodaten. Ausgehend von diesen Grundlagen werden die Prinzipien der Quellencodierung und deren Implementierung in Form der unterschiedlichen aktuellen Standards, wie z.B. H.265/HEVC vermittelt.

Hier ist die detaillierte Liste der Themen:

- Informationstheorie, Entropiecodierung
- Nachrichtenkanal
- Abtastung, Quantisierung, Transformation
- Transformation mit Beispielen
- Lineare Übertragung Abtastung
- Statistik Prädiktion
- Anwendungen – Audio
- Anwendungen – Bilddatenkompression JPEG
- Anwendungen – Videokompression
- Videocodierstandards H.261, MPEG-1, MPEG-2, H.263 und MPEG-4
- Videocodierstandards H.264, HEVC
- Proprietäre Audio und Videocodierungsverfahren

Dieser Kurs beinhaltet Beispiele aus der Praxis und erfordert eine aktive Arbeit der Studenten.

*Leistungsbewertung.* Mündliche Prüfung.

*Anrechenbare Module:* 2050 (BS Technische Informatik), 8050...8051 (MS Technische Informatik II, III)

## **Reconfigurable Computing / Application Specific Computing**

(Vorlesung(2 Stunden pro Woche)/ Übung (2 Stunden pro Woche, 6 LP)

Turnus: jedes zweite Sommersemester (in geraden Jahren)

*Veranstalter:* Prof. Dr. Benno Stabernack

*Zielgruppe:* empfohlen ab 8. Semester (Masterstudiengang)

*Voraussetzung:* Grundlagen der Informationsverarbeitung

*Vorlesungssprache:* Deutsch

*Leistungspunkte:* 6 Leistungspunkte

*Inhalt:*

Für viele Anwendungen des wissenschaftlichen Rechnens, im Bereich des maschinellen Lernens und in BigData Applikationen haben sich die Grenzen der hierfür üblicherweise eingesetzten Rechnerarchitekturen in Bezug auf Leistungseffizienz und Kapazität gezeigt. Seit einigen Jahren stellt das sog. Reconfigurable Computing jedoch einen Ansatz dar, benötigte Rechenleistung für spezielle Anwendungsfälle auf der Basis sog. FPGAs bereitzustellen.

Die Bandbreite des Einsatzes reicht von Anwendung in eingebetteten Systemen bis hin zu Serverarchitekturen, die typischerweise in Datacenterinstallationen zu finden sind. Ein Schwerpunkt bildet die Vermittlung des Konzeptes Heterogener Rechnerarchitekturen.

Die Studierenden sollen im Rahmen der Veranstaltung und Übung in die Lage versetzt werden eine gegebene Problemstellung in Bezug auf ihre spezifischen Rechenleistungsanforderungen hin zu untersuchen, und dafür auf der Grundlage des Reconfigurable Computing Paradigmas entsprechende Beschleunigerarchitekturen abzuleiten, umzusetzen und in eine heterogene Rechnerarchitektur zu integrieren.

Folgende Themenschwerpunkte werden im Rahmen der Vorlesung vermittelt:

- Heterogene Rechnerarchitekturen
- Applikationsspezifische Prozessoren
- Speicherarchitekturen
- Profiling und Analyse Methoden
- Komponenten der Computer Arithmetik
- FPGA Architekturen und Eigenschaften
- Systemarchitekturen des Reconfigurable Computing
- Programmierung rekonfigurierbarer Architekturen (Hardwarebeschreibungssprachen)
- High - Level Synthese Werkzeuge
- Virtualisierungskonzepte
- Design Mapping
- Systemintegration

Dieser Kurs beinhaltet Beispiele aus der Praxis und erfordert eine aktive Arbeit der Studenten.

*Leistungsbewertung:* Mündliche Prüfung.

*Anrechenbare Module:* 8050...8051 (MS Technische Informatik II, III)

## **Forschungsprojekt**

*Projekt*

*Veranstalter:* alle

*Zielgruppe:* Master COS

*Sprache:* Deutsch

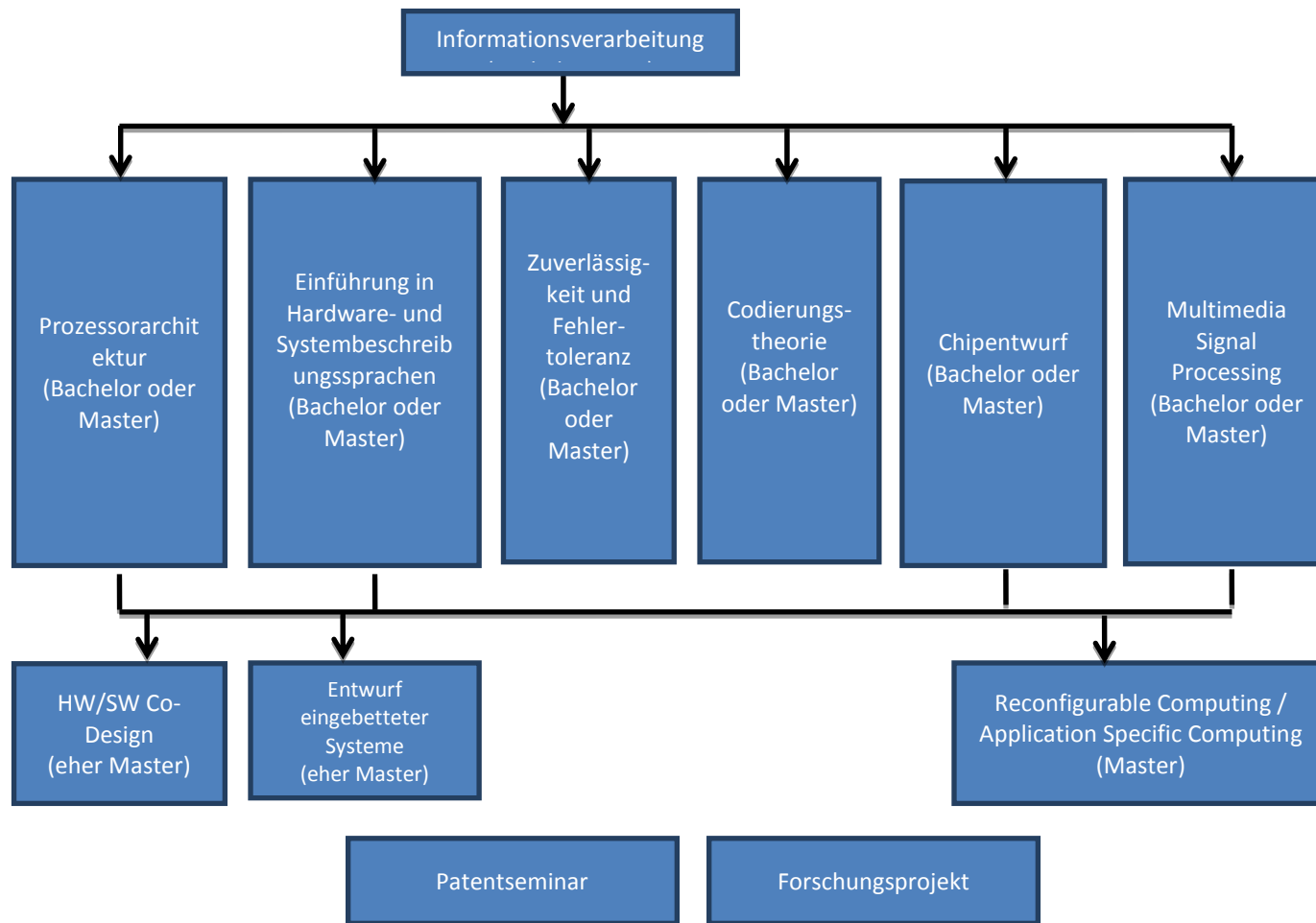
*Leistungspunkte:* 6 Leistungspunkte, eigenständige Arbeit

Pro Semester wird ein Forschungsprojekt angeboten, in dem Masterstudenten mit hoher Motivation eine eigenständige Projekt-Arbeit schreiben können. Es kann beispielsweise dazu dienen, sich auf eine Master-Arbeit vorzubereiten.

Modulzuordnung: 10010 - Interdisziplinäre Projektarbeit, 10020 – Forschungsmodul (Master COS)

## Abhängigkeiten

Eine sinnvolle Reihenfolge für den Besuch der Veranstaltungen durch Studierende zeigt die folgende Abbildung. Grundlage für alle Module der Technischen Informatik bildet die Vorlesung *Grundlagen der Informationsverarbeitung*. Darauf aufbauend wird der Besuch der Veranstaltungen *Prozessorarchitektur* oder Einführung in *Hardware- und Systembeschreibungssprachen* empfohlen. Beide Veranstaltungen bieten eine Einführung VHDL, was vorteilhaft (aber nicht Voraussetzung) für den Besuch der Veranstaltungen *HW/SW-Codesign* und *Entwurf eingebetteter Systeme* ist. Für den Besuch der Veranstaltungen *Fehlertolerante Systeme*, *Codierungstheorie* und *Chipentwurf* werden nur die Grundlagen der Informationsverarbeitung als Voraussetzung empfohlen.





## Empfohlene Kurs/Semester Zuordnung für das Bachelor- und Masterstudium

Bachelorstudium ICS			
6. Semester	Einführung in Hardware- und Systembeschreibungssprachen	Codierungstheorie	Multimedia Signal Processing
5. Semester	Zuverlässigkeit und Fehler-toleranz	Chipentwurf	
4. Semester			
3. Semester	Patentseminar		
2. Semester	Prozessorarchitektur		
1. Semester	Informationsverarbeitung		

## Masterstudium COS

4. Semester	Reconfigurable Computing / Application Specific Computing	Codierungstheorie	
3. Semester	Chipentwurf	Zuverlässigkeit und Fehler- toleranz	Entwurf eingebetteter Systeme
2. Semester	Multimedia Signal Processing	Einführung in Hardware- und Systembeschreibungssprachen	Prozessorarchitektur
1. Semester	HW/SW Co-Design		