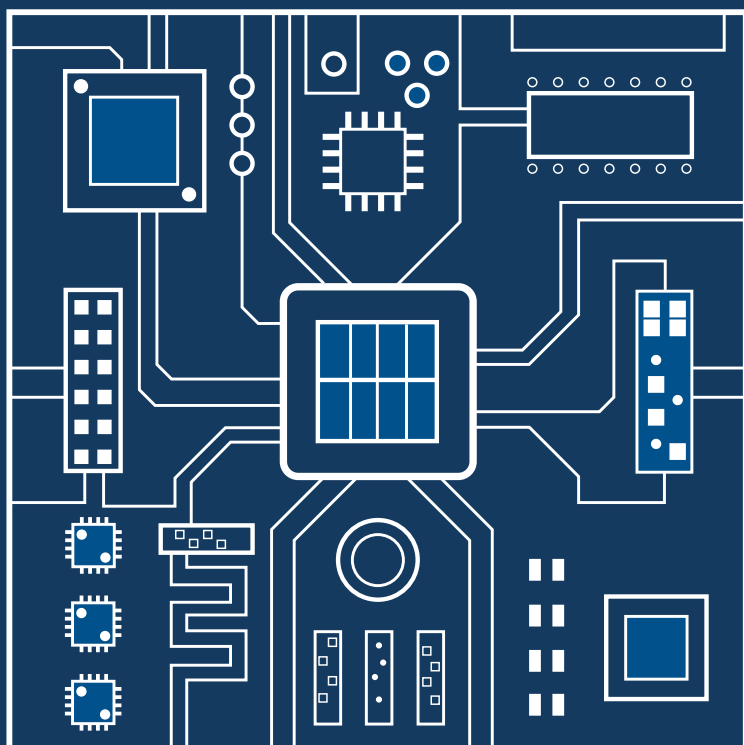




Leibniz Institute
for High
Performance
Microelectronics

ANNUAL REPORT 2024





Inhalte

Contents

Vorwort	4
----------------	----------

Foreword

Mission, Zahlen und Gremien	6
------------------------------------	----------

Mission, Figures and Governing Bodies

Infrastruktur	10
----------------------	-----------

Infrastructure

Wir am IHP 2024	12
------------------------	-----------

IHP LIfe 2024

Forschung	22
------------------	-----------

Research

Ausgewählte Projekte	62
-----------------------------	-----------

Selected Projects

Kooperationen	82
----------------------	-----------

Cooperations

Angebote und Leistungen	102
--------------------------------	------------

Offers and Services

Publikationen	114
----------------------	------------

Publications

Impressum	127
------------------	------------

Imprint

Vorwort

Foreword



Prof. Dr. Gerhard Kahmen
Wissenschaftlich-Technischer Geschäftsführer
Scientific Director

Nicolas Hübener
Administrativer Geschäftsführer
Administrative Director

Liebe Leserinnen und Leser, liebe Partner und Freunde des IHP, wir freuen uns, Ihnen im vorliegenden Jahresbericht über ein weiteres sehr erfolgreiches Jahr des IHP berichten zu können. Auch im Jahr 2024 konnten wir unsere Position als führendes Forschungszentrum auf dem Gebiet der siliziumbasierten Hochfrequenz-Mikroelektronik und -Systeme in einem sehr dynamischen und kompetitiven internationalen Umfeld stärken.

Prägend für das Jahr war die durch die FMD initiierte europäische Pilotline APECS (Advanced Packaging and Heterogeneous Integration for Electronic Components and Systems), die im Rahmen des EU-Chips Acts zum 01.12.2024 gestartet ist. Zusammen mit den Partnern aus der Forschungsfabrik Mikroelektronik Deutschland (FMD), also 13 Fraunhofer-Instituten und dem Ferdinand-Braun-Institut (FBH) sowie weiteren europäischen Forschungseinrichtungen, beteiligt sich das IHP an der Erforschung und Schaffung von Pilotfertigungsmöglichkeiten für komplexe elektronische Systeme von morgen, basierend auf Hetero- und Chiplet-Integration. Dabei wird die gesamte Kette von Designmethodik, Modellierung über die Aufbau- und Verbindungstechnik bis zu Test- und Qualifizierungsverfahren berücksichtigt. Als Partner der FMD ist das IHP am größten außeruniversitären Zusammenschluss von Forschungseinrichtungen der Mikroelektronik in Deutschland und Europa beteiligt.

Auch für unsere Präsenz am Standort Cottbus konnten wir vergangenes Jahr einen weiteren wichtigen Meilenstein erreichen. Die Interministerielle Arbeitsgruppe (IMAG) stimmte Anfang Dezember 2024 der Förderung eines Forschungsbaus zu. Unter Führung des IHP entsteht mit „Leibniz@Lausitz“ ein Büro- und Laborgebäude

Dear readers, dear partners and friends of IHP, we are delighted to be able to report on another very successful year for IHP in this annual report. In 2024, we were once again able to strengthen our position as a leading research centre in the field of silicon-based high-frequency microelectronics and systems in a very dynamic and competitive international environment.

The year was defined by the initiation of the European pilot line APECS (Advanced Packaging and Heterogeneous Integration for Electronic Components and Systems), which was launched on 1 December 2024 as part of the EU Chips Act. Together with partners from the Research Fab Microelectronics Germany (FMD), that is 13 Fraunhofer Institutes and the Ferdinand-Braun-Institut (FBH) as well as other European research institutions, IHP is involved in researching and creating pilot production possibilities for complex future electronic systems based on hetero- and chiplet integration. The entire chain from design methodology, modelling, assembly and connection technology to testing and qualification procedures is taken into account. As a partner of the FMD, IHP is involved in the largest non-university association of microelectronics research institutions in Germany and Europe.

We were also able to reach another important milestone for our presence at the Cottbus site last year. The Interministerial Working Group (IMAG) approved funding for a research building at the beginning of December 2024. Led by IHP, „Leibniz@Lausitz“ is an office and laboratory building on a new research campus with institutes of the DLR and the Fraunhofer Society. In the immediate vicinity of Brandenburg University of Technology, various Leibniz institutes

auf einem neuen Forschungscampus mit Instituten des DLR und der Fraunhofer-Gesellschaft. In unmittelbarer Nachbarschaft zur BTU Cottbus-Senftenberg werden in diesem Gebäude verschiedene Leibniz-Institute unter einem Dach zu interdisziplinären Forschungsthemen kooperieren. Schon heute werden Räumlichkeiten, die 2023 durch das IHP angemietet und ertüchtigt wurden, durch Forschende des IHP, FBH und ZALF genutzt, wodurch die Grundlagen für den Leibniz-Standort in Cottbus bereits gelegt wurden.

Das Jahr 2024 war durch zahlreiche Forschungshighlights geprägt: Neuartige und wegweisende sub-THz-Verstärker für zukünftige 6G-Applikationen, Lasertechnologien, basierend auf Gruppe IV-Elementen, und weltweit die höchsten Mobilitäten von SiGe-Schichten bei Kryotemperaturen sind nur einige Schlaglichter, über die Sie in diesem Bericht mehr erfahren werden.

Das erfolgreiche Jahr spiegelt sich auch in verschiedenen Kennzahlen des IHP wider: Über 400 Mitarbeitende aus mehr als 30 Nationen haben an durchschnittlich 104 parallel laufenden Projekten gearbeitet; darunter 13 von der DFG, 24 von der EU und 40 von Bund und Land gefördert. Die große Bandbreite dieser Projekte spiegelt in hervorragender Weise das vertikale Forschungsprinzip des IHP von grundlegender bis zu applikationsnaher Forschung wider. Eine neue Höchstmarke wurde auch bei den Drittmittelträgen in einer Höhe von über 37 Mio. € erreicht. Mit 292 Publikationen, 46 eingeladenen Vorträgen, zehn Promotionsabschlüssen und sieben Patentanmeldungen in 2024 unterstreicht das IHP seine wissenschaftliche Exzellenz und internationale Sichtbarkeit in seinen Forschungsfeldern.

Mit einem Umsatz von ca. 11 Mio. € schloss die IHP Solutions ebenfalls ein sehr erfolgreiches Jahr ab. Dieses Ergebnis unterstreicht, wie schon in den vergangenen Jahren, die ausgezeichnete Zusammenarbeit zwischen dem Institut und seiner Tochtergesellschaft.

Das wichtigste Kapital sind unsere Mitarbeitenden, die mit ihrer hohen Fachkompetenz und großem Engagement sowohl in der Wissenschaft als auch in den wissenschaftsunterstützenden Bereichen täglich den Erfolg des IHP erarbeiten. Ihnen gilt unser besonderer Dank.

Für die vertrauensvolle Zusammenarbeit bedanken wir uns bei unseren Kooperationspartnern aus Wissenschaft und Wirtschaft. Bei unseren Zuwendungsgebern und Ansprechpartnern vom Land Brandenburg und vom Bund bedanken wir uns für die langjährige und große Unterstützung.

Wir wünschen Ihnen eine inspirierende Reise durch unser innovatives und erfolgreiches Jahr und viel Spaß bei der Lektüre unseres Jahresberichts, der nicht nur unsere wichtigsten wissenschaftlichen Erfolge präsentiert, sondern auch einen Einblick in das Leben an unserem Institut gibt.

will cooperate on interdisciplinary research topics under one roof in this building. Premises rented and refurbished by the IHP in 2023 are already being used by researchers from the IHP, FBH and ZALF, which has laid the foundations for the Leibniz Centre in Cottbus.

The year 2024 was characterised by numerous research highlights: Novel and pioneering sub-THz amplifiers for future 6G applications, laser technologies based on Group IV elements and the world's highest mobilities of SiGe layers at cryogenic temperatures are just some of the major achievements you will learn more about in this report.

The successful year is also reflected in various IHP key figures: over 400 employees from more than 30 nations worked on an average of 104 parallel projects, including 13 funded by the DFG, 24 by the EU and 40 by the federal and state governments. The wide range of these projects is an excellent reflection of IHP's vertical research principle from basic to application-oriented research. A new record was also set for third-party funding income totalling over 37 million €. With 292 publications, 46 invited lectures, ten doctoral degrees and seven patent applications in 2024, the IHP underlines its scientific excellence and international visibility in its fields of research.

With revenue of around 11 million €, IHP Solutions also concluded a very successful year. This result underlines, as in previous years, the excellent cooperation between the institute and its subsidiary.

Our most important assets are our employees, whose high level of expertise and great commitment, both in science and in the areas that support science, contribute to IHP's success on a daily basis. Our special thanks go to them.

We would like to thank our cooperation partners from science and industry for their trusting collaboration. We would also like to thank our funding bodies and contact partners from the state of Brandenburg and the federal government for their many years of support.

We wish you an inspiring journey through our innovative and successful year and hope you enjoy reading our annual report, which not only presents our most important scientific achievements but also provides an insight into life at our institute.

Prof. Dr. Gerhard Kahmen

Nicolas Hübener

Mission des IHP

Das IHP betreibt Forschung und Entwicklung auf dem Gebiet der Mikroelektronik und Informationstechnologie mit Schwerpunkt auf fortschrittlichen siliziumbasierten Technologien. Ziel des Instituts ist es, die Position Deutschlands und Europas im globalen technologischen Wettbewerb durch Innovationen bei Halbleitersystemen zu stärken. Das IHP deckt die gesamte F&E-Wertschöpfungskette von der Grundlagenforschung bis zur Prototypen- und Kleinserienfertigung ab und kooperiert dabei mit wissenschaftlichen Einrichtungen und Unternehmen. Mit einer eigenen ISO-3-zertifizierten End-to-End-Pilotlinie, die unter industrienahen Bedingungen die unter industrienahen Bedingungen im 24/7 Modus betrieben wird, erforscht und entwickelt das Institut einzigartige „More than Moore“- und „CMOS + X“-Technologien, die für die Entwicklung von Kommunikation, autonomen Systemen, Künstlicher Intelligenz und anderen Zukunftsfeldern von entscheidender Bedeutung sind. Einzigartig in der europäischen Forschungslandschaft sind die qualifizierten BiCMOS-Technologien des IHP mit weltweit führender HBT-Performance. Diese Technologieplattform ermöglicht es Partnern aus Wissenschaft und Industrie, ihre eigenen ASICs mit

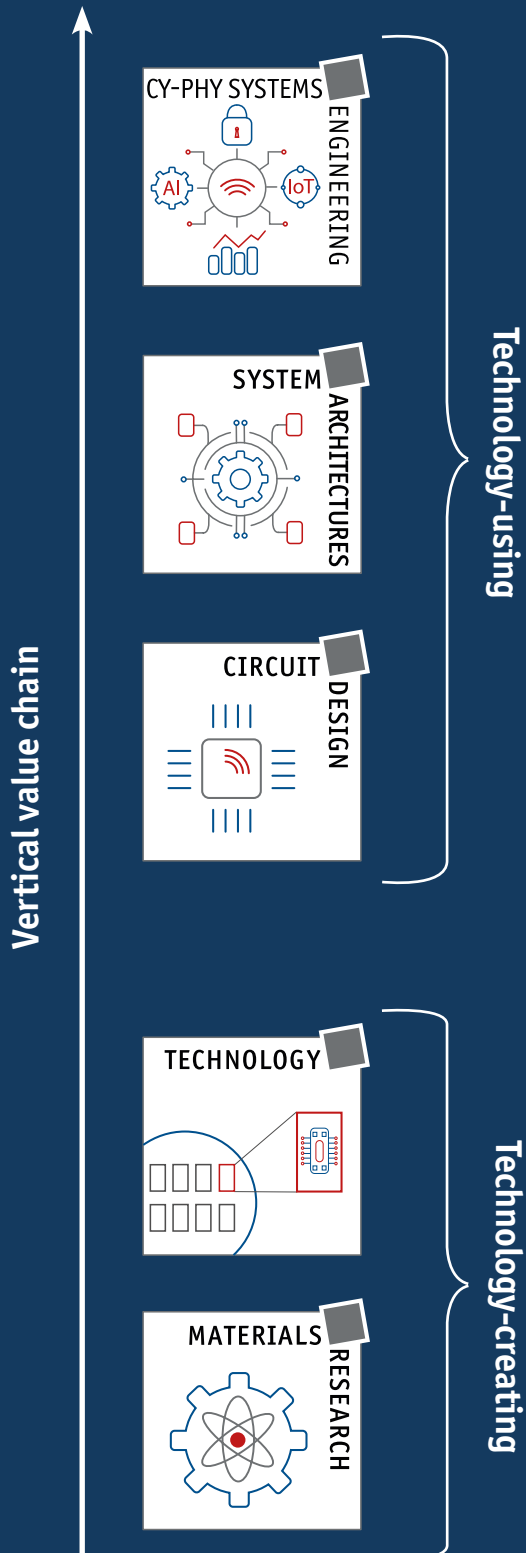
Mission of IHP

IHP conducts research and development in the field of microelectronics and information technology, focusing on advanced silicon-based technologies. The institute aims to strengthen the position of Germany and Europe in global technological competition through innovation in semiconductor systems. IHP covers the entire R&D value chain, from basic research to the manufacturing of prototypes and small series, collaborating with scientific institutions and companies. With its own ISO 3 certified end-to-end pilot line, which operates under 24/7 industry-like conditions, the institute researches and develops unique “More than Moore” and “CMOS + X” technologies, which are crucial for the development of communication, autonomous systems, artificial intelligence and other future-oriented areas. Unique in Europe’s research landscape is IHP’s qualified BiCMOS technologies with world leading HBT performance. This technology platform allows partners from academia and industry to design their own ASICs using commercial EDA tools.

The well-aligned core competencies in the fields of materials research, process technology, circuit design, system architectures and cyber-physical systems engineering lead to holistic solutions. All IHP research activities are geared towards practical applications



Vertikales Prinzip



Vertical Principle

kommerziellen EDA-Werkzeugen zu entwerfen.

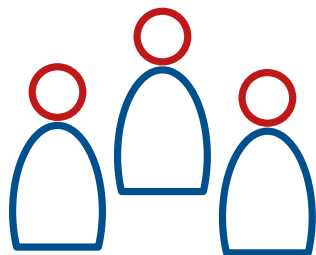
Die aufeinander abgestimmten Kernkompetenzen in den Bereichen Materialforschung, Prozesstechnologie, Schaltungsdesign, Systemarchitekturen und Entwicklung von cyber-physischen Systemen führen zu ganzheitlichen Lösungen. Alle Forschungsaktivitäten des IHP sind auf praktische Anwendungen und die Kommerzialisierung von Innovationen ausgerichtet und stärken so die technologische Souveränität Europas.

Die Ausbildung des wissenschaftlichen und technischen Nachwuchses ist eine zentrale Voraussetzung für den zukünftigen Erfolg hochtechnisierter Gesellschaften. Das IHP engagiert sich in der Ausbildung und Förderung von jungen Wissenschaftlern, Ingenieuren und wissenschaftsunterstützenden Mitarbeitenden auf allen Bildungsebenen, angefangen in Zusammenarbeit mit regionalen Schulen über die Berufsausbildung, die universitäre Lehre, Praktika und die Betreuung von Diplomarbeiten bis hin zur Betreuung von Dissertationen und der Postdoc-Phase.

and the commercialisation of innovations, thus strengthening Europe's technological sovereignty.

Educating the next generation of scientists and engineers is a central prerequisite for the future success of highly technological societies. IHP is committed to educate and support young scientists, engineers and administrative staff at all levels of education, starting with cooperation with regional schools vocational education, university teaching, internships and supervision of final theses, the supervision of dissertations up to the post-doctoral phase.

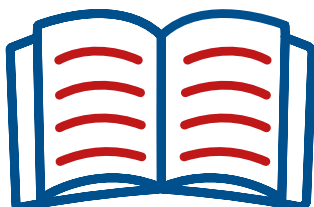
Fakten und Zahlen 2024



**Mitarbeitende
Employees** **410**

- davon 188 Wissenschaftler
188 of them are scientists
- davon 19 Auszubildende
19 of them are trainees
- davon 46 Studierende
46 of them are students

292



**Publikationen
Publications**

- davon 82 Journalartikel
including 82 journal articles



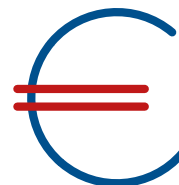
137

**Patentfamilien
Patent families**

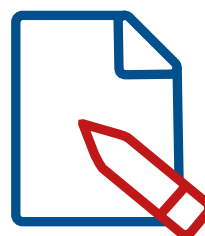
- davon:
- 7 Neuanmeldungen
thereof:
7 new registrations

Facts and Figures 2024

**Förderung
Funding**



- Institutionelle Förderung: 34,9 Mio. Euro
Institutional funding: 34,9 million euros
- Drittmittelträge:
EU-Förderung: 2,9 Mio. Euro
Förderung Bund: 16,9 Mio. Euro
Förderung Land Brandenburg: 1,8 Mio. Euro
DFG-Förderung: 1,1 Mio. Euro
Wirtschaft und Technologietransfer: 15,6 Mio. Euro
Third-party funding:
EU funding: 2,9 million euros
Federal funding: 16,9 million euros
Funding from the state of Brandenburg:
1,8 million euros
DFG funding: 1,1 million euros
Industry and technology transfer:
15,6 million euros



**Projekte
Projects**

104

- davon:
- DFG-Projekte: 13
- EU-Projekte: 24
- Bundes- & Landesprojekte: 40
- thereof:
DFG projects: 13
EU projects: 24
Federal & State projects: 40

Gremien der IHP GmbH

Aufsichtsrat Supervisory Board

Dr. Nikola Sander

Vorsitzende | Chair

Ministerium für Wissenschaft, Forschung und Kultur
Land Brandenburg
Ministry of Science, Research and Culture State Brandenburg

Dr. Michael Rafii

Stellv. Vorsitzender | Deputy Chair

Bundesministerium für Bildung und Forschung, Bonn
Ministry of Education and Research, Bonn

Antje Fischer

Ministerium der Finanzen und für Europa des Landes
Brandenburg
Ministry of Finance and Europe State Brandenburg

Dr. Gunter Fischer

IHP GmbH, Frankfurt (Oder)

Prof. Dr. Gesine Grande

Brandenburgische Technische Universität Cottbus-Senftenberg
Brandenburg University of Technology Cottbus-Senftenberg

Gabi Grützner

micro resist technology GmbH, Berlin

Dr. Walter Riess

IBM Research Zurich

Prof. Dr. Eckhard Grass

IHP GmbH, Frankfurt (Oder)

Prof. Dr. Robert Weigel

Friedrich-Alexander-Universität Erlangen-Nürnberg
Friedrich-Alexander University of Erlangen-Nuremberg

Governing Bodies of IHP

Wissenschaftlicher Beirat Scientific Advisory Board

Dr. Klaus Pressel

Vorsitzender | Chair

Infineon Technologies AG, Regensburg

Prof. Dr. Kirsten E. Moselund

Stellv. Vorsitzende | Deputy Chair

EPFL, Lausanne

Prof. Dr. Wolfgang Bösch

Technische Universität Graz
Graz University of Technology

Prof. Dr. Friedel Gerfers

Technische Universität Berlin
Technical University of Berlin

Dr. Tim Gutheit

Infineon Technologies AG, Neubiberg

Prof. Dr. Amelie Hagelauer

Fraunhofer EMFT, Munich

Prof. Dr. Thomas Mikolajick

NaMLab gGmbH, Dresden

Dr. Gabriel Kittler

X-FAB Semiconductor Foundries GmbH, Erfurt

Prof. Dr. Stefan Remy

Leibniz-Institut für Neurobiologie Magdeburg
Leibniz Institute for Neurobiology Magdeburg

Prof. Dr. Rainer Leupers

RWTH Aachen

Infrastruktur des IHP

Das IHP verfügt über eine hervorragende Ausstattung und bietet exzellente Arbeitsbedingungen für Forschung und Entwicklung. Das Hauptgebäude des Instituts in Frankfurt (Oder) mit Reinraum wurde 1999/2000 in Betrieb genommen.

Der Hauptsitz in Frankfurt (Oder) – Im Technologiepark 25 – verfügt über 390 Büroarbeitsplätze, 44 Labore, einen Reinraum (1.500 m², Klasse 3 nach DIN EN ISO 14644-1), Besprechungs- und Konferenzräume sowie eine Cafeteria.

IHP's Infrastructure

IHP offers excellent equipment and working conditions for research and development. The main institute building in Frankfurt (Oder), including a clean room, was put into operation in 1999/2000.

The headquarters in Frankfurt (Oder) - Im Technologiepark 25 – offers 390 office workplaces, 44 laboratories, a cleanroom (1,500 square metres, class 3 according to DIN EN ISO 14644-1), meeting and conference rooms, as well as a cafeteria.



Bereits seit 2021 hatte das IHP in direkter Nachbarschaft ein Gebäude mit zusätzlichen Büroarbeitsplätzen angemietet. Ende 2023 wurde dieses Gebäude vom Land Brandenburg erworben und Anfang des darauffolgenden Jahres dem IHP zur Nutzung übergeben.

Das Ergänzungsgebäude am Standort Frankfurt (Oder) – Im Technologiepark 7 – bietet Büroarbeitsplätze, Labore sowie moderne Besprechungs- und Konferenzräume.

An excellent opportunity for new office space arose when a building in the immediate vicinity of IHP became vacant. The building was purchased by the state of Brandenburg in December 2023, and the use of the building was transferred to IHP at the beginning of the following year.

Additional building Frankfurt (Oder) - Im Technologiepark 7 – offers office workspaces, laboratories, as well as modern meeting and conference rooms.

Im Rahmen der Initiative Leibniz@Lausitz wird unter Federführung des IHP ein dauerhafter Standort für mehrere Leibniz-Institute in Cottbus geplant, der zur Profilierung des Wissenschaftsparks Lausitz und der BTU beitragen kann. Ziel ist es, in unmittelbarer Nähe zur BTU und anderen außeruniversitären Forschungseinrichtungen interdisziplinäre Forschung mit hoher Relevanz für die Lausitz unter einem Dach zu betreiben.

In der ersten Phase, die im Juli 2023 begann, nutzt das IHP angemietete Räumlichkeiten in der Nähe der BTU.



In Phase II wird auf dem Gelände nördlich der BTU ein eigenes Leibniz-Gebäude in direkter Nachbarschaft zu zwei je zwei Instituten des Deutschen Zentrums für Luft- und Raumfahrt und der Fraunhofer Gesellschaft errichtet.



As part of the Leibniz@Lausitz initiative and under the leadership of IHP, a permanent location in Cottbus is being planned for various Leibniz institutes that can contribute to the profile of the Lausitz Science Park and the BTU Cottbus-Senftenberg. The aim is to carry out interdisciplinary research relevant to Lusatia under one roof in the immediate vicinity of the BTU and other non-university research institutions.

In the first phase, which started in July 2023, the IHP is using rented premises close to the BTU.



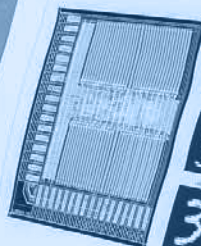
In Phase II, a dedicated Leibniz building will be constructed on the site north of BTU, in direct proximity to two institutes each of the German Aerospace Center (DLR) and the Fraunhofer Society



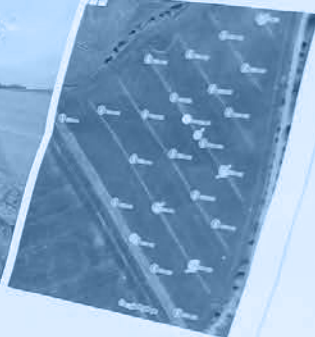
WIR AM IHP 2024

IHP LIFE 2024

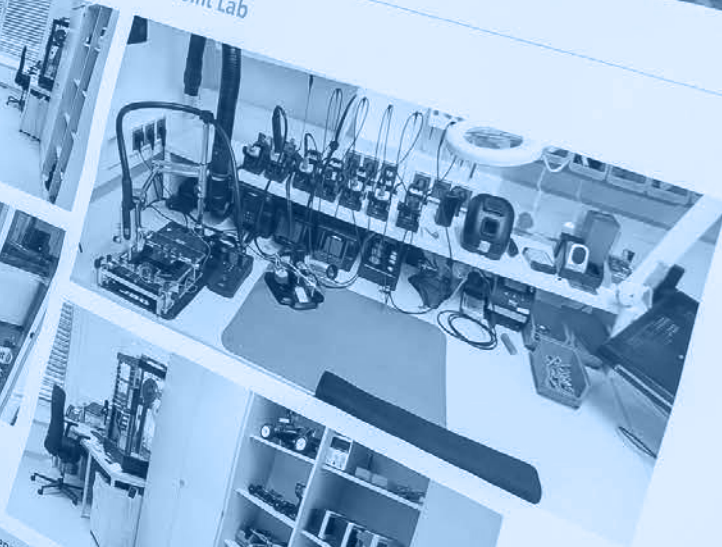
PROJEKTE



HARASS Demoboard



DAKIS



Delivering solutions for high performance microelectronics | Im Technologiepark 25 | 15236 Frankfurt (Oder) | Germany | www.ihp-microelectronics.com

Leibniz
Association

Tag der Frauen in der Wissenschaft Women in Science Day

Anlässlich des „Internationalen Tages der Frauen und Mädchen in der Wissenschaft“ lud das IHP rund 40 Schülerinnen aus Frankfurt (Oder) und Stübice zu zwei Veranstaltungen ein, um ihr Interesse an Wissenschaft, insbesondere der Mikroelektronik und Physik zu wecken. Neben Experimenten und Laborführungen erhielten sie Einblicke in den Berufsalltag von Wissenschaftlerinnen und diskutierten die Rolle von Frauen in der Wissenschaft. Das IHP setzt sich seit Jahren für Gleichstellung in der Wissenschaft ein, unter anderem durch Praktikumsprogramme für Mädchen und junge Frauen, den partizipativen Prozess „Leading for Equality“, dessen Ergebnis der gültige Gleichstellungsplan des IHP ist, und familienfreundliche Maßnahmen.



On 'International Day of Women and Girls in Science', IHP invited around 40 female pupils from Frankfurt (Oder) and Stübice to two events aimed at awakening their interest in science, particularly microelectronics and physics. In addition to experiments and laboratory tours, the participants were given insights into the everyday working life of female scientists and discussed questions about the role of women in science. IHP has been committed to equality in science for years, including through internship programmes for girls and young women, the participatory 'Leading for Equality' process, which resulted in IHP's current equality plan, and family-friendly measures.

01/2024

Ministerpräsident Dr. Dietmar Woidke zu Besuch im IHP Minister President Dr Dietmar Woidke visits IHP

Brandenburgs Ministerpräsident Dr. Dietmar Woidke besuchte das IHP, um sich über die Spitzenforschung in der Mikroelektronik zu informieren – ein Bereich, in dem das Institut mit seinen siliziumbasierten Hochfrequenz-Technologien und innovativen Anwendungen weltweit führend ist und eine Schlüsselrolle für Deutschlands und Europas technologische Souveränität einnimmt. Während seines Besuchs tauschte sich Woidke mit der Institutsleitung und Mitarbeitenden aus und besichtigte unter anderem den Reinraum sowie weitere Labore am IHP.

Brandenburg's Minister President Dr Dietmar Woidke visited IHP to find out about cutting-edge research in microelectronics - a field in which the institute is a world leader with its silicon-based high-frequency technologies and innovative applications and plays a key role in Germany's and Europe's technological sovereignty. During his visit, Mr Woidke exchanged views with the institute's management and staff and toured the clean room as well as other laboratories at IHP.



Zukunftstag in Brandenburg Brandenburg Future Day

Beim Brandenburger Zukunftstag besuchten 28 Schülerinnen und Schüler der Klassenstufen 7 bis 11 das IHP, um Einblicke in die Forschung und Berufswelt zu erhalten. Neben Vorträgen und Laborführungen wurden ein Berufe-Speed-Dating sowie ein Rundgang um den Reinraum angeboten. Als fester Bestandteil der Nachwuchsarbeit wurden die Jugendlichen an naturwissenschaftliche Berufe herangeführt und erste Kontakte geknüpft.

At the Brandenburg Future Day, 28 pupils from grades 7 to 11 visited the IHP to gain an insight into research and the world of work. In addition to lectures and laboratory tours, a careers speed dating programme and a tour of the clean room were offered. As an integral part of the work with young talent, the pupils were introduced to scientific professions, and initial contacts were made.



03/2024

Freunde des IHP Friends of IHP

Der Förderverein „Freunde des IHP e. V.“ stärkt mit Vorträgen und Veranstaltungen die regionale Sichtbarkeit des Instituts. Im Oktober 2024 lud der Verein zu einem Vortrag von Prof. Oliver Benson vom Institut für Physik der Humboldt-Universität Berlin ein, der nach einer Einführung in die Quantenphysik die Entwicklung, Funktionsweise und Zukunftsperspektiven von Quantencomputern erläuterte. Bereits im Sommer wurden Forschungspreise für Schülerinnen und Schüler, Nachwuchspreise für Studierende sowie ein Promotionspreis verliehen. Die Festveranstaltung zur Preisvergabe eröffnete ein Fachvortrag zum Thema „Auf dem Weg zum Repplikator – Volumetrischer 3D-Druck“.

The ‘Friends of IHP’ association strengthens the regional visibility of the institute with lectures and events. In October 2024, the association hosted a lecture by Prof Oliver Benson from the Institute of Physics at Humboldt University of Berlin, who gave an introduction to quantum physics and explained the development, functioning and future prospects of quantum computers. Research awards for school pupils, emerging talent awards for students and a doctoral award were presented in the summer. The award ceremony opened with a lecture on the topic of ‘On the way to the replicator - volumetric 3D printing’.

Internationale Messen International trade fairs



04/2024

2024 präsentierte sich das IHP auf zehn Fachmessen, darunter das International Microwave Symposium (IMS) in Washington D.C., das weltweit größte Treffen zu Hochfrequenztechnik, und die European Microwave Week (EuMW) in Paris, Europas führende Veranstaltung für Mikrowellen- und Hochfrequenztechnik. In diesem Jahr nahm das IHP auch erneut an der RADECS in Maspalomas auf Gran Canaria teil, da deren thematische Ausrichtung auf strahlungsgehärteten Chips für Raumfahrtanwendungen mit den Forschungsfeldern des IHP übereinstimmt. In Deutschland war das Institut traditionell auf der Electronica und Semicon vertreten, um die Anwendungsvielfalt und Innovationskraft seiner Technologien für praktische Anwendungen zu demonstrieren.

In 2024, IHP participated in ten trade fairs, including the International Microwave Symposium (IMS) in Washington D.C., the world's largest meeting on RF and microwave theory and applications, and the European Microwave Week (EuMW) in Paris, Europe's leading event for microwave and high-frequency technology. This year, the Institute once again took part in RADECS in Maspalomas on Gran Canaria, as its thematic focus on radiation-hardened chips for space applications coincides with IHP's research fields. In Germany, the institute was traditionally represented at Electronica and Semicon to demonstrate the variety of applications and innovative strength of its technologies for practical applications.

Landesolympiade Physik State Olympics in Physics

Beim Finale der 34. Landesolympiade Physik traten 58 Schülerinnen und Schüler der Jahrgangsstufen 7 – 12 aus 18 Schulen Brandenburgs im Carl-Friedrich-Gauß-Gymnasium in Frankfurt (Oder) an. Nach theoretischen Prüfungen folgten experimentelle Herausforderungen, bevor die Teilnehmenden das IHP besuchten. Dort erhielten sie Einblicke in aktuelle Forschungsbereiche und tauschten sich mit Wissenschaftlerinnen und Wissenschaftlern aus. Die feierliche Siegerehrung im IHP wurde von Vertretern aus Wissenschaft, Politik und Bildung begleitet, die die Bedeutung des Wettbewerbs für die Förderung naturwissenschaftlicher Talente hervorhoben. Die Veranstaltung unterstrich die Zusammenarbeit zwischen IHP und Gauß-Gymnasium, basierend auf einem gemeinsamen Kooperationsvertrag.



At the final of the 34th State Olympics in Physics, 58 pupils from grades 7 - 12 from 18 schools in Brandenburg competed at the Carl-Friedrich-Gauß-Gymnasium in Frankfurt (Oder). Theoretical tests were followed by experimental challenges before the participants visited IHP. There they gained insights into current research areas and exchanged ideas with scientists. The award ceremony at IHP was attended by representatives from science, politics and education, who emphasised the importance of the competition in promoting scientific talent. The event emphasised the ongoing collaboration between IHP and Gauß-Gymnasium, based on a joint cooperation agreement.

KI-Tag AI-Day

Beim 3. Brandenburger KI-Tag präsentierte das IHP im Kleist-Forum seine Forschungskompetenzen im Bereich Künstliche Intelligenz. Die Veranstaltung bot rund 250 Teilnehmenden aus Wissenschaft, Wirtschaft und Politik eine Plattform zum Austausch und zur Vernetzung. Neben Vorträgen und Präsentationen zu KI-Anwendungen im Kontext der Mikroelektronik, innovative Sensorik sowie IT-Sicherheitsaspekte ermöglichte das IHP interessierten Besucherinnen und Besuchern einen Einblick in den Reinraum des Instituts. Die Veranstaltung verdeutlichte die enge Verbindung von Wissenschaft und Wirtschaft in Brandenburg sowie die strategische Bedeutung der KI-Forschung für die Region.

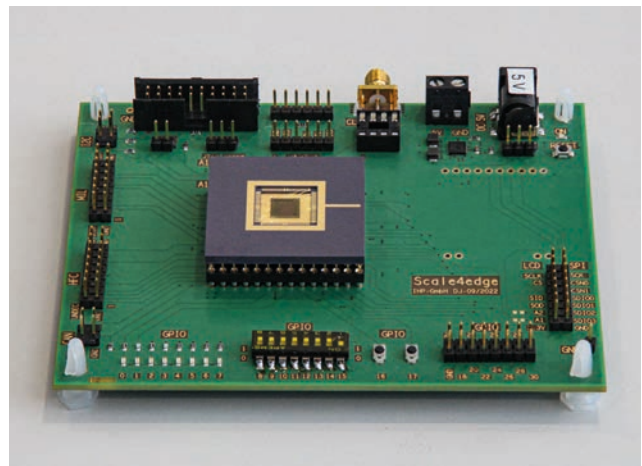


At the 3rd Brandenburg AI Day, IHP presented its research expertise in the field of artificial intelligence at the Kleist Forum. The event offered around 250 participants from science, business and politics a platform for dialogue and networking. In addition to lectures and presentations on AI applications in the context of microelectronics, innovative sensor technology and IT security aspects, IHP gave interested visitors an insight into the institute's clean room. The event highlighted the close links between science and industry in Brandenburg and the strategic importance of AI research for the region.

06/2024

Bei der Auftaktveranstaltung der BMBF-geförderten Projekte KI-Mobil, KI-Power und Scale4Edge in Kaiserslautern wurde die zweite Phase der Entwicklung zukunftsfähiger Spezialprozessoren eingeläutet. Im Fokus stehen Hardwarelösungen für Edge-Anwendungen sowie KI-Prozessoren für den Automobilsektor. Die rund 30 beteiligten Partner präsentierten die Ergebnisse der ersten Projektphase, darunter das IHP mit dem TETRISC-SoC-Demonstrator. Ein Chip mit vier Open-Source-RISC-V-Kernen für zuverlässigkeitskritische Umgebungen, der sich in Echtzeit an Betriebsbedingungen anpasst. In der zweiten Projektphase wird er weiter optimiert, auf Strahlungsfestigkeit getestet und das fehlertolerante System als Open-Source-Lösung bereitgestellt. Die Projekte tragen maßgeblich zur Technologiesouveränität und Entwicklung leistungsfähiger, energieeffizienter und robuster Elektroniklösungen Deutschlands und Europas bei.

Scale4Edge



The kick-off event for the BMBF-funded projects KI-Mobil, KI-Power and Scale4Edge in Kaiserslautern heralded the second phase of the development of future-proof special processors. The focus is on hardware solutions for edge applications and AI processors for the automotive sector. The roughly 30 partners involved presented the results of the first project phase, including IHP with the TETRISC SoC demonstrator. A chip with four open-source RISC-V cores for reliability-critical environments that adapts to operating conditions in real time. In the second project phase, it will be further optimised, tested for radiation resistance, and the fault-tolerant system will be made available as an open source solution. The projects make a significant contribution to the technological sovereignty and development of powerful, energy-efficient and robust electronics solutions in Germany and Europe.

Joint Labs University of Roma Tre / RWTH Aachen University & Forschungszentrum Jülich / Sabancı University

Das IHP hat seine strukturellen nationalen und internationalen Forschungsk Kooperationen erweitert und zwei neue Joint Labs eröffnet. Im Februar wurde mit der Universität Roma Tre ein Joint Lab für intelligente elektro-optische Sensorik gegründet, mit Fokus auf Entwicklung neuer Halbleitermaterialien und sensorgestützter Technologien mit potenziellen Anwendungen in der Biomedizin. Im September folgte ein Joint Lab für halbleiterbasiertes Quantencomputing mit der RWTH Aachen und dem Forschungszentrum Jülich, das skalierbare Quantencomputerarchitekturen und spinbasierte Qubit-Operationen erforscht. Insbesondere sollen dabei gezielt einzelne Elektronen in einem Shuttler transportiert und über Einzelelektronentransistoren ausgelesen werden.

Unter der erneuerten Kooperationsvereinbarung wurde die langjährige Partnerschaft mit der Sabancı-Universität weiter vertieft und neu fokussiert. Das Joint Lab entwickelt mm-Wellen- und THz-Bauelemente sowie integrierte Schaltungen auf Basis der SiGe-BiCMOS-Technologie des IHP. 2024 wurden erstmals auch Master-Studierende in das Programm aufgenommen, was die akademischen Möglichkeiten der Kooperation weiter stärkt.

IHP has expanded its structural national and international research collaborations and opened two new joint labs. In February, a joint lab for intelligent electro-optical sensor technology was founded with the University of Roma Tre, focussing on the development of new semiconductor materials and biomedical applications. This was followed in September by a joint lab for semiconductor-based quantum computing with RWTH Aachen University and Forschungszentrum Jülich, which researches scalable quantum computer architectures and spin-based qubit operations in relation to shuttling and the operation of single-electron transistors.

Under the renewed cooperation agreement, the long-standing partnership with Sabancı University was deepened. The Joint Lab develops mm-wave and THz devices as well as integrated circuits based on IHP's SiGe-BiCMOS technology. In 2024, master's students were accepted into the programme for the first time, further strengthening academic opportunities.

07/2024

Tag der offenen Tür Open Day

Im September öffnete das IHP seine Türen für die Öffentlichkeit und bot Einblicke in aktuelle Forschungsprojekte der Mikroelektronik. Die Besucherinnen und Besucher konnten an Laborführungen teilnehmen, interaktive Experimente erleben und sich über Ausbildungs- und Karrieremöglichkeiten informieren. Das Programm umfasste eine virtuelle 360°-Tour durch das Nano-Lab und das Integrationslabor, Science Slams, das CoderDojo für Kinder sowie Mitmachangebote für alle Altersgruppen. Zahlreiche Partner des IHP bereicherten die Veranstaltung mit Informationsständen und Aktivitäten. Die Veranstaltung fand auf Deutsch und Polnisch statt und lockte, wie in den Jahren zuvor, zahlreiche Interessierte in den Technologiepark.

In September, IHP opened its doors to the public and offered insights into current microelectronics research projects. Visitors were able to take part in laboratory tours, experience interactive experiments and find out about training and career opportunities. The programme included a virtual 360° tour of the Nano Lab and the Integration Lab, science slams, the CoderDojo for children and hands-on activities for all age groups. Numerous IHP partners enriched the event with information stands and activities. The event was held in German and Polish and, as in previous years, attracted numerous interested visitors to the Technology Park.



Sommerschule Summerschool



Die IHP-Sommerschule fand in Zusammenarbeit mit den Universitäten Tor Vergata und Roma Tre statt und bot 13 Nachwuchswissenschaftlerinnen und -wissenschaftlern aus fünf Ländern vertiefende Einblicke in mikroelektronische und photonische Technologien für Quanten-, Sensor- und Raumfahrtanwendungen. Vom 16. bis 21. September umfasste das Programm Vorlesungen, Laborführungen und Fachdiskussionen am IHP sowie an den Partneruniversitäten in Rom. Besuche in spezialisierten Laboren, darunter der Reinraum des IHP und das Nationale Institut für Kernphysik (INFN), ermöglichten praxisnahe Einblicke. Die Veranstaltung förderte den wissenschaftlichen Austausch und die internationale Zusammenarbeit der jungen Forschenden. Die vierte Ausgabe ist für 2026 geplant.

The IHP Summer School was organised in collaboration with the universities of Tor Vergata and Roma Tre and offered 13 young scientists from five countries in-depth insights into microelectronic and photonic technologies for quantum, sensor and space applications. From September the 16th to 21st, the programme included lectures, laboratory tours and specialist discussions at IHP and at the partner universities in Rome. Visits to specialised laboratories, including the IHP's clean room and the National Institute of Nuclear Physics (INFN), provided practical insights. The event promoted scientific exchange and international collaboration between the young researchers. The fourth edition is planned for 2026.

09/2024

Neuartiger Leistungsverstärker des IHP IHP's new power amplifier

Am IHP wurde ein neuer siliziumbasierter Leistungsverstärker entwickelt, der die Technologie für künftige 6G-Anwendungen vorantreibt. Das Forschungsteam nutzte die SG13G3-Technologie des IHP, um eine Verdopplung der Bandbreite und eine 1,5-fache Effizienzsteigerung im Vergleich zu bisherigen siliziumbasierten Verstärkern über 200 GHz zu erzielen. Die Ergebnisse wurden in den IEEE Microwave and Wireless Components Letters veröffentlicht und mit dem Tatsuo Itoh Best Paper Award 2024 ausgezeichnet. Neben zukünftigen 6G-Kommunikationsanwendungen ergeben sich Anwendungen in Sub-THz-Bildgebungssystemen sowie Joint Communication und Sensing. Die Entwicklung unterstreicht die wachsende Bedeutung von Siliziumtechnologien im Sub-THz-Frequenzbereich zwischen 100 und 1000 GHz.



A new silicon-based power amplifier has been developed at IHP to advance the technology for future 6G applications. The research team utilised IHP's SG13G3 technology to achieve a doubling of bandwidth and a 1.5-fold increase in efficiency compared to previous silicon-based amplifiers above 200 GHz. The results were published in the IEEE Microwave and Wireless Components Letters and honoured with the Tatsuo Itoh Best Paper Award 2024. In addition to future 6G communication applications, there are applications in sub-THz imaging systems as well as joint communication and sensing. The development underlines the growing importance of silicon technologies in the sub-THz frequency range between 100 and 1000 GHz.

Offizieller Startschuss für die Initiative Leibniz@Lausitz in Cottbus

Official launch of the Leibniz@Lausitz initiative in Cottbus

Unter Federführung des IHP entsteht auf dem Campus der außeruniversitären Forschungseinrichtungen nördlich des BTU-Campus ein modulares Büro- und Laborgebäude für rund 140 Wissenschaftlerinnen und Wissenschaftler. Im Dezember bewilligte die Interministeriale Arbeitsgruppe (IMAG) 38 Mio. € für den Bau sowie 11 Mio. € für die anteilige Erschließung des Geländes. Unter „Leibniz@Lausitz“ wird die interdisziplinäre Forschung der Leibniz-Gemeinschaft für mehrere Institute gebündelt. Gemeinsam mit jeweils zwei Fraunhofer- und DLR-Instituten stärkt das Projekt die enge Anbindung an die BTU, den Lausitz Science Park und die Medizinische Universität und unterstützt die Ausbildung wissenschaftlich-technischer Nachwuchskräfte.

Under the leadership of IHP, a modular office and laboratory building for around 140 scientists is being built on the campus of the non-university research institutions to the north of the BTU campus. In December, the Interministerial Working Group (IMAG) approved € 38 million for the construction and € 11 million for the proportional development of the site. 'Leibniz@Lausitz' bundles the Leibniz Association's interdisciplinary research for several institutes. Together with two Fraunhofer and two DLR institutes, the project strengthens the close connection to the BTU, the Lausitz Science Park and the Medical University and supports the training of young scientific and technical talent.

10/2024

12/2024

IHP als Partner in der APECS-Pilotlinie im Rahmen des EU-Chip-Gesetzes

IHP as a partner in the APECS pilot line under the EU chip law

Zur Förderung von Advanced Packaging und Heterointegration in der europäischen Halbleiterindustrie wurde die APECS-Pilotlinie (Advanced Packaging and Heterogeneous Integration for Electronic Components and Systems) als ein zentrales Vorhaben im Rahmen des EU-ChipsActs im Dezember gestartet. Sie soll Chiplet-Innovationen vorantreiben, Forschung und Fertigungskapazitäten stärken sowie den technologischen Fortschritt in KI, Kommunikation und Quantencomputing beschleunigen. Das IHP trägt mit seiner Expertise insbesondere im Bereich der quasimonolithischen Chiplet-Integration und der Entwicklung einer durchgehenden Designumgebung für Chiplet-Systeme maßgeblich zur Umsetzung bei. Gefördert mit 730 Mio. € aus EU- und nationalen Mitteln bietet APECS niederschweligen Zugang zu Hochtechnologien und stärkt Europas Wettbewerbsfähigkeit.

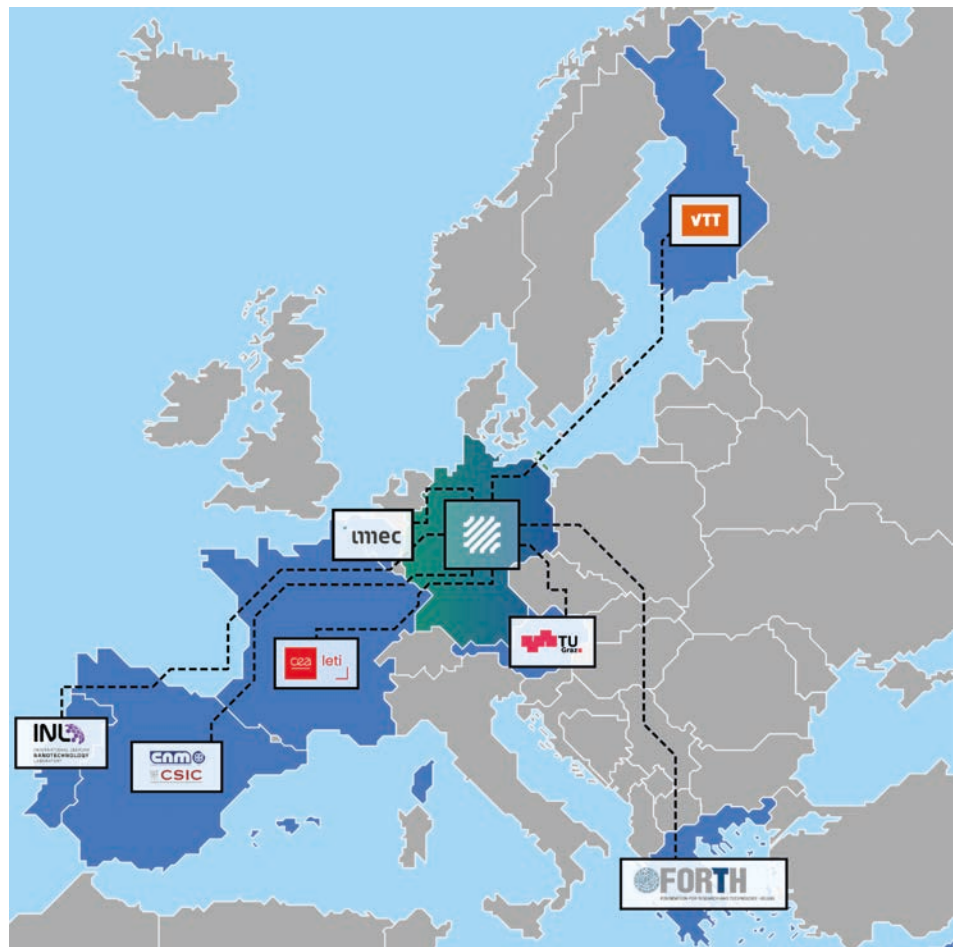
To promote advanced packaging and heterointegration in the European semiconductor industry, the APECS pilot line (Advanced Packaging and Heterogeneous Integration for Electronic Components and Systems) was launched in December as a key project under the EU Chips Act. It is intended to drive chiplet innovations, strengthen research and production capacities and accelerate technological progress in AI, communication and quantum computing. With its expertise, particularly in the field of quasi-monolithic chiplet integration and the development of an end-to-end design environment for chiplet systems, IHP is making a significant contribution to the implementation. Supported with € 730 million from EU and national funds, APECS offers low-threshold access to high technologies and strengthens Europe's competitiveness.



Leibniz@Lausitz-Bauprojekt in Cottbus. Machbarkeitsstudie 09.2024.
Leibniz@Lausitz building project in Cottbus. Feasibility study 09.2024.

Das APECS-Konsortium vereint die technologischen Kompetenzen, die Infrastruktur und das Know-how von zehn Partnern aus acht europäischen Ländern.

The APECS consortium brings together the technological competences, infrastructure, and know-how of ten partners from eight European countries.



FORSCHUNG RESEARCH





FORSCHUNG

DES IHP

Das IHP erforscht und entwickelt siliziumbasierte Systeme, Höchstfrequenz-Schaltkreise und -Technologien einschließlich neuer Materialien. Es realisiert damit prototypische Lösungen für Anwendungsbereiche wie die drahtlose und Breitbandkommunikation, Sicherheit, Medizintechnik, Raumfahrt, Mobilität und Industrieautomatisierung.

Als Leibniz-Institut arbeitet das IHP an langfristigen, strategischen Forschungsaufgaben. Dabei verbindet es gezielt grundlegende mit angewandter Forschung. Durch seine Pilotlinie mit den eigenen, sehr leistungsfähigen SiGe-BiCMOS-Technologien ist es in der Lage, komplexe Lösungen durch innovative und industriell relevante Prototypen zu demonstrieren. Erarbeitete Technologien werden schnell auf ein hohes Niveau gebracht, um sie als forschungsbasierten Service anbieten zu können.

Das IHP zeichnet sich durch sein vertikales Forschungskonzept aus, welches durch eine enge Verzahnung von Kompetenzen über die Abteilungsgrenzen hinweg die Lösung von Problemstellungen ganzheitlich ermöglicht. Ein zentrales Ziel des Instituts ist es, in diesen Kernkompetenzen eine führende internationale Position einzunehmen und diese langfristig beizubehalten. Durch die aufeinander abgestimmte Zusammenarbeit der Kernkompetenzen Materialforschung, Prozesstechnologie, Schaltkreisdesign, Systemarchitekturen und drahtlose Systeme werden Synergieeffekte erreicht, die zu vertikal optimierten Lösungen führen. Ein markantes Beispiel für eine solche Kernkompetenz ist die SiGe-BiCMOS-Technologie einschließlich der Fähigkeit, Partnern unter industrienahen Bedingungen zuverlässig Prototypen und Kleinserien verfügbar zu machen. Diese besondere Kombination aus technologischer Exzellenz und industrieller Anwendungsnähe ist ein Alleinstellungsmerkmal des IHP.

IHP'S RESEARCH

IHP researches and develops silicon-based systems, radio frequency circuits and technologies, including new materials. It thus realises prototype solutions for application areas such as wireless and broadband communication, security, medical technology, space travel, mobility and industrial automation.

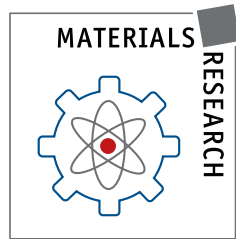
As a Leibniz Institute, IHP works on long-term, strategic research tasks. In doing so, it specifically combines basic research with applied research. Through its pilot line with its own very powerful SiGe BiCMOS technologies, it is able to demonstrate complex solutions through innovative and industrially relevant prototypes. Developed technologies are quickly brought to a high level to offer them as a research-based service.

The IHP is distinguished by its vertical research concept, which enables problems to be solved holistically through the close integration of expertise across departmental boundaries. A central objective of the institute is to establish and maintain a leading international position in these core competencies over the long term. Through the coordinated cooperation of the vast expertise in materials research, process technology, circuit design, system architectures and wireless systems, synergy effects are achieved that lead to vertically optimised solutions. A striking example of such a core competence is the SiGe BiCMOS technology, including the capability to reliably make prototypes and small series available to partners under near-industrial conditions. This unique combination of technological excellence and industrial application proximity is a distinctive hallmark of IHP.



Materialien für die Mikro- und Nanoelektronik

Materials for Micro- and Nanoelectronics



In der Abteilung Materials Research werden neue Materialien für die Nano- und Mikroelektronik untersucht. In den drei Arbeitsgruppen der Abteilung werden vielversprechende Ansätze der Materialwissenschaft für zukünftige Bauelemente in der Mikroelektronik identifiziert und erforscht. Das Forschungsprogramm umfasst daher ein weites Spektrum: von der Grundlagenforschung in den Materialwissenschaften bis zur angewandten Forschung an modernen Bauelementen. In komplexen Bauelementen wird eine Vielfalt heterogener Materialsysteme zur analogen, digitalen, neuromorphen, quantenmechanischen und optischen Signal- und Datenverarbeitung zusammengeführt. Zudem werden die Forschungsaktivitäten im Bereich der Sensorik mit Blick auf den zukünftigen Standort Cottbus ausgebaut.

Durch die enge Zusammenarbeit der Abteilungen bietet das IHP eine gute Ausgangsposition für Innovationen in gesellschaftlich relevanten Bereichen wie Medizin- und Umwelttechnologien, Mobilität und Kommunikation, sowie Biodiversität. Die Forschungstätigkeiten der Abteilung sind in drei Forschungsgruppen organisiert, deren Projekte sowohl Themen der Grundlagen- als auch der Anwendungsforschung beinhalten.

2D Materialien

Aufgrund seiner besonderen elektrischen Eigenschaften ist Graphen ein sehr interessantes Material, sowohl für optische als auch elektrische Anwendungen. Um Graphen in der multifunktionalen Mikroelektronik zu integrieren, müssen große Flächen von Graphen ohne Falten, Risse oder Verunreinigungen auf Siliziumsubstraten abgeschieden werden.

Die 8"-Graphen-CVD-Anlage (Chemical Vapour Deposition) im IHP-Reinraum wird in enger Zusammenarbeit mit der Abteilung Technologie betrieben. Hierbei erwarb das IHP in den vergangenen Jahren durch erfolgreiche Arbeiten zur Graphenintegration in die Si-Technologie große wissenschaftlich-technologische Aufmerksamkeit, wobei die Arbeiten zur Graphensynthese auf 8"-basierten Germaniumschichten zur Vermeidung von Metallkontaminationen in Siliziumprozessen durchgeführt wurden.

Um die außergewöhnlichen elektronischen Eigenschaften von Graphen in realen Bauelementen nutzen zu können, muss die elektronische Kopplung mit dem umgebenden Material jedoch stark reduziert werden. Hexagonales Bornitrid (hBN), ein weiteres 2D-Material, ist für diesen Zweck sehr vielversprechend. Es könnte

The Materials Research department investigates new materials for nano- and microelectronics. The department's three working groups identify and research promising approaches in materials science for future components in microelectronics. The research programme therefore covers a broad spectrum: from basic research in materials science to applied research on modern components. A variety of heterogeneous material systems for analog, digital, neuromorphic, quantum mechanical and optical signal and data processing are brought together in complex components. In addition, research activities in the field of sensor technology are being expanded in view of the future location of Cottbus.

Thanks to the close cooperation between the departments, IHP offers a good starting position for innovations in socially relevant areas such as medical and environmental technologies, mobility and communication, and biodiversity. The department's research activities are organised in three research groups whose projects cover both basic and applied research topics.

2D Materials

Due to its special electrical properties, graphene is a very interesting material for both optical and electrical applications. In order to integrate graphene into multifunctional microelectronics, large areas of graphene must be deposited on silicon substrates without wrinkles, cracks or impurities.

The 8" graphene CVD (chemical vapor deposition) system in the IHP clean room is operated in close cooperation with the Technology department. In recent years, the IHP has attracted a great deal of scientific and technological attention for its successful work on graphene integration in Si technology, with work on graphene synthesis being carried out on 8"-based germanium layers to avoid metal contamination in silicon processes.

However, in order to utilise the extraordinary electronic properties of graphene in real devices, the electronic coupling with the surrounding material must be greatly reduced. Hexagonal boron nitride (hBN), another 2D material, is very promising for this purpose. It could be used both to isolate graphene from the substrate and as a gate dielectric. Although devices obtained by mechanical exfoliation and transfer confirmed the possibilities of graphene/

sowohl zur Isolierung von Graphen vom Substrat als auch als Gate-Dielektrikum verwendet werden. Obwohl durch mechanische Exfoliation und Transfer erhaltene Bauelemente die Möglichkeiten von Graphen/HBN-Heterostrukturen bestätigten, muss noch eine skalierbare und zuverlässige Wachstumstechnik demonstriert werden. Hierfür werden neue CVD-Prozesse entwickelt, welche die Abscheidung von Graphen/HBN-Strukturen ermöglichen sollen.

Das IHP ist Partner im EU-Projekt 2D Experimental Pilot Line (2D-EPL), welches das Ziel hat, die Lücke zwischen der Fertigung im Labormaßstab und der Großserienproduktion von elektronischen Bauelementen auf der Basis zweidimensionaler Materialien zu schließen. Diese Pilotlinie wird es ermöglichen, neue Bauelemente für elektronische, photonische und Sensoranwendungen in einer für die Fertigung repräsentativen Umgebung zu prototypisieren. Die technologische Reife der Graphenintegration eröffnet die Möglichkeit für externe Partner, graphenbasierte Bauelemente im Rahmen des MPW Service des IHP für Forschungszwecke herstellen zu lassen.

Das EU-Projekt GreEnergy verfolgt das Ziel, ein neues Paradigma im Bereich der Solarenergiegewinnung zu definieren, in dem ein Prototyp eines selbstversorgenden Systems auf der Grundlage optischer graphenbasierter Nanoantennen entwickelt wird, das Sonnenenergie erntet, das AC-Signal gleichrichtet und es zum

HBN heterostructures, a scalable and reliable growth technique still needs to be demonstrated. To this end, new CVD processes are being developed to enable the deposition of graphene/HBN structures.

IHP is a partner in the EU project 2D Experimental Pilot Line (2D-EPL), which aims to close the gap between laboratory-scale manufacturing and large-scale production of electronic components based on two-dimensional materials. This pilot line will make it possible to prototype new components for electronic, photonic and sensor applications in an environment representative of production. The technological maturity of graphene integration opens up the possibility for external partners to have graphene-based components manufactured for research purposes as part of IHP's MPW service.

The EU project GreEnergy aims to define a new paradigm in the field of solar energy harvesting by developing a prototype self-powered system based on optical graphene-based nanoantennas that can harvest solar energy, rectify the AC signal and use it to charge a micro-supercapacitor. This is a joint research activity between the Materials Research and Circuit Design departments.

As part of the EU GATEPOST project, the first 2D materials-based non-linear photonics platform for optical data processing is being developed.



Wissenschaftlerinnen und Wissenschaftler der Arbeitsgruppe 2D-Materialien
Scientists from the working group 2D-Materials

Aufladen eines Mikro-Superkondensators verwendet werden kann. Hierbei handelt es sich um eine gemeinsame Forschungsaktivität der Abteilungen Materials Research und Circuit Design.

Im Rahmen des EU-Projektes GATEPOST wird die erste auf 2D-Materialien basierende nichtlineare Photonik-Plattform für optische Datenverarbeitung entwickelt.

Diese neue Technologieplattform wird durch eine hochleistungsfähige, latenzarme, stromsparende, rein optische Paketprüfungs- und DDoS-Schutzlösung für sichere Internet-of-Things (IoT)-Umgebungen demonstriert. Hierbei handelt es sich um eine gemeinsame Forschungsaktivität der Abteilungen Materials Research und Technology.

Halbleiter-Optoelektronik

Diese Arbeitsgruppe beschäftigt sich mit der Integration der Gruppe IV (Germanium, GeSn und SiGeSn) Halbleitermaterialien in Siliziumtechnologie, deren optoelektronische Eigenschaften des Siliziums im Bereich der Photonik- und der THz-Anwendungen überlegen sind.

Seit wenigen Jahren erforscht und entwickelt die Arbeitsgruppe spin-basierte Qubits in SiGe-Heterostrukturen. Hierzu wurde 2021 ein großes BMBF-Projekt (QUASAR) eingeworben, das IHP ist zudem Partner im EU-Flagship QLSI. In beiden Projekten teilen sich die Abteilungen Materials Research und Technology die Forschungsaufgaben. Das Forschungszentrum Jülich, die RWTH Aachen und das IHP bündeln zudem ihre komplementären Kompetenzen auf dem Gebiet der Halbleiter- und Quantentechnologie.

Gemeinsam wollen sie künftig im Rahmen einer unbefristeten Kooperation an der Entwicklung skalierbarer Halbleiter-Quantenbits arbeiten, die Quantencomputer mit halbleiterbasierten Qubits möglich machen. Durch die nun geschlossene Vereinbarung soll diese Kooperation verstetigt werden, unter anderem durch den Aufbau eines gemeinsam betriebenen Joint Labs. Das IHP bringt darin seine Kompetenzen im Wachstum von Heterostrukturen und in der Qubit-Fabrikation auf der Basis von Ge/SiGe- und Si/SiGe-Verbindungen ein. Das Forschungszentrum Jülich und die RWTH Aachen verfügen komplementär dazu im Rahmen des gemeinsamen JARA Instituts für Quanteninformation über ausgewiesene Expertise auf dem Gebiet der Device-Konzeptionierung, Charakterisierung und Qubit-Demonstration.

Die Kontrolle und Herstellung der Verspannungseigenschaften von Mikro- und Nano-Heterostrukturen zur weiteren Leistungssteigerung des Materials nimmt eine zentrale Rolle in diesem Arbeitsfeld ein. Eine Möglichkeit der Relaxation von Verspannungen ist neben der plastischen Relaxation durch Segregationseffekte gegeben.

Ein Beispiel hierzu ist durch das innovative SiGeSn-Materialsystem gegeben, das für künftige Gruppe-IV-Halbleiter-Opto-

This new technology platform is demonstrated by a high-performance, low-latency, low-power, all-optical packet inspection and DDoS protection solution for secure Internet-of-Things (IoT) environments. This is a joint research activity of the Materials Research and Technology departments.

Semiconductor Optoelectronics

This working group is concerned with the integration of group IV (germanium, GeSn and SiGeSn) semiconductor materials into silicon technology, whose optoelectronic properties are superior to those of silicon in the field of photonics and THz applications.

For a few years now, the working group has been researching and developing spin-based qubits in SiGe heterostructures. A large BMBF project (QUASAR) was acquired for this purpose in 2021, and IHP is also a partner in the EU flagship QLSI. In both projects, the Materials Research and Technology departments share the research tasks. Research Center Jülich, RWTH Aachen University and IHP are also pooling their complementary expertise in the field of semiconductor and quantum technology.

In the future, they want to work together on the development of scalable semiconductor quantum bits, which will make quantum computers with semiconductor-based qubits possible, as part of an open-ended cooperation. The now concluded agreement is intended to consolidate this cooperation, including the establishment of a jointly operated Joint Lab. IHP will contribute its expertise in the growth of heterostructures and in qubit fabrication on the basis of Ge/SiGe and Si/SiGe compounds. In addition, Forschungszentrum Jülich and RWTH Aachen University have proven expertise in the field of device conception, characterisation and qubit demonstration as part of the joint JARA Institute for Quantum Information.

The control and production of the tensile properties of micro- and nano-heterostructures to further increase the performance of the material plays a central role in this field of work. In addition to plastic relaxation, segregation effects can also be used to relax tension.

One example of this is the innovative SiGeSn material system, which is being intensively researched for future Group IV semiconductor optoelectronics. The growth of SiGeSn layer systems of appropriate quality on silicon is a major challenge here. The innovative semiconductor alloy GeSn makes it possible to precisely adjust the addressable wavelength by adjusting the Sn concentra-

elektronik intensiv erforscht wird. Hierbei ist das Wachstum von SiGeSn-Schichtsystemen entsprechender Qualität auf Silizium eine hohe Herausforderung. Die innovative Halbleiterlegierung GeSn ermöglicht es, die adressierbare Wellenlänge durch Anpassung der Sn-Konzentration präzise einzustellen. Als Herstellungsmethode wurde dazu die Molekularstrahlepitaxie verwendet. Im Oberflächenlabor der Abteilung Materials Research werden begleitend die Oberflächeneigenschaften von verspanntem Ge und GeSn in einem Multiskalen-Ansatz (von der atomaren zu Mikrometer-Skala) untersucht. Es wurde von der DFG ein Folgeprojekt GeSn II bewilligt, sodass die Studien fortgeführt werden.

Gemeinsam mit der Abteilung Technology wird im Rahmen des Projektes VISIR2 in einer realen Anwendung die Technologie eines elektrisch abstimmbaren VGA-VIS/SWIR-Imagers demonstriert, der mit einer 250-nm-SiGe-PIC-Technologie hergestellt wird. Die Leistung des Bildsensors wird in realen Anwendungen für das autonome Fahren und den Umweltschutz demonstriert. Der innovative Bildsensor besteht aus einem Array von lichtempfindlichen VIS/SWIR-Pixeln auf Ge/Si-Basis, die monolithisch mit der Auslesemikroelektronik integriert sind.

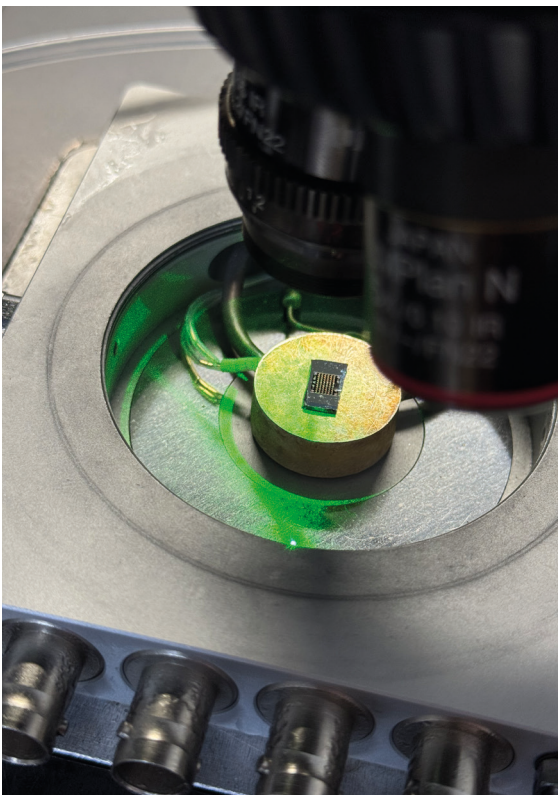
Der VGA-Bildsensor wird eine ausreichende Auflösung für den Test seiner Funktionen in betrieblichen Umgebungen bieten. Dieser Prototyp wird zusammen mit der Optik in eine kundenspezifische Kamera eingebaut und mit einer Bildfusionssoftware ergänzt.

Molecular beam epitaxy was used as the production method for this. In the surface laboratory of the Materials Research department, the surface properties of strained Ge and GeSn are being investigated in a multiscale approach (from the atomic to the micrometre scale). A follow-up project GeSn II has been approved by the DFG so that the studies can be continued.

Together with the Technology department, the technology of an electrically tunable VGA-VIS/SWIR imager manufactured using 250 nm SiGe-PIC technology is being demonstrated in a real application as part of the VISIR2 project. The performance of the image sensor will be demonstrated in real applications for autonomous driving and environmental protection. The innovative image sensor consists of an array of Ge/Si-based light-sensitive VIS/SWIR pixels monolithically integrated with the readout microelectronics.

The VGA image sensor will provide sufficient resolution for testing its functions in operational environments. This prototype will be installed together with the optics in a customised camera and supplemented with image fusion software.

Prof. Giovanni Capellini im RAMAN-Labor
Prof. Giovanni Capellini in the RAMAN lab



Adaptive Materialien

Memristive Bauelemente weisen eine variable widerstands-basierte Speicherfunktion auf. Von besonderem Interesse ist diese Art von Bauelementen als schaltbares Element für nichtflüchtige RRAM-Speicher, aber auch für den Bereich der analogen neuronalen Schaltungstechnik bzw. energieeffizientes In-Memory Computing. In der neuronalen Schaltungstechnik eröffnen die memristiven Bauelemente die Möglichkeit, die derzeit bestehenden Hürden digitaler Datenverarbeitung im Bereich kognitiver Aufgabenstellungen, wie z. B. der Mustererkennung, zu überwinden. Im Mittelpunkt der Forschungsstrategie steht die Entwicklung der memristiven Bauelemente für zukünftige elektronische Schaltungen mit starker Orientierung an biologischen Systemen.

KI-Lösungen gelten derzeit als vielversprechendster Ansatz zur Beherrschung komplexer Aufgaben, wie etwa Bild-, Objekt- und Szenenerkennung oder Regelung dynamischer, nichtlinearer Systeme. Sie sind daher von besonderem Interesse hinsichtlich des Einsatzes in autonomen Fahrzeugen, sowohl zur Sensordatenverarbeitung als auch für die Fahrkontrolle. Hinsichtlich E-Mobilität kommt dieser Aspekt jedoch noch viel stärker zum Tragen: Existierende Lösungen für Echtzeit-KI-Anwendungen haben hohe Leistungsaufnahmen und setzen daher die Reichweite batteriegetriebener Fahrzeuge signifikant herab.

Das IHP ist seit 2021 Partner in dem von der Christian-Albrechts-Universität zu Kiel geleiteten Sonderforschungsbereich „Neutronics“. Im Fokus steht dabei die Entwicklung von analogen Simulationswerkzeugen, die die Grundlage für die erfolgreiche Implementierung von digitalen CMOS-Schaltungen mit memristiven Elementen bilden. Neue Entwürfe und Konzepte müssen dabei durch physikalische Implementierung und Verifikation unterstützt werden.

Mit dem Ziel, einen Teil der Verarbeitungslast in den RRAM-Speicher im Sinne eines intelligenten In-Memory-Computing-Konzepts zu verschieben, startete 2020 das gemeinsame DFG-Projekt "Memristives In-Memory-Computing: Radiation hard Memory for Computing in Space" (MIMEC) mit der TU München und der Universität Rostock, welches im Rahmen des DFG-Schwerpunktprogramms „Memristive Bauelemente für intelligente technische Systeme“ eingeworben wurde. Dabei sollen In-Memory-Operationen in den strahlungsharten Sense-Verstärkern eines RRAM-Arrays durch Signalauswertung und direkte Integration von memristiven RRAM-Zellen in den Verarbeitungsschritt überführt werden. Um die Funktionalität der strahlungsharten Systemarchitektur zu überprüfen, wird auf intensive Simulationsarbeiten gesetzt. In der Simulationsumgebung wird ein neues Modell für memristive Bauelemente zur Untersuchung der gesamten strahlungsharten Systemarchitektur unter Verwendung von In-Memory-Computing eingesetzt. Die

Adaptive Materials

Memristive components have a variable resistance-based memory function. This type of component is of particular interest as a switchable element for non-volatile RRAM memories, but also for the field of analog neural circuit technology and energy-efficient in-memory computing. In neural circuit technology, memristive components open up the possibility of overcoming the current hurdles of digital data processing in the field of cognitive tasks, such as pattern recognition. The research strategy focuses on the development of memristive components for future electronic circuits with a strong orientation towards biological systems.

IHP has been a partner in the collaborative research center led by Kiel University since 2021. The focus is on the development of analog simulation tools that form the basis for the successful implementation of digital CMOS circuits with memristive elements. New designs and concepts must be supported by physical implementation and verification.

With the aim of shifting part of the processing load to the RRAM memory in the sense of an intelligent in-memory computing concept, the joint DFG project "Memristive In-Memory Computing: Radiation-hard Memory for Computing in Space" (MIMEC) was launched in 2020 with the Technical University of Munich, the University of Erlangen-Nuremberg and the BTU Cottbus-Senftenberg, which was acquired as part of the DFG priority program "Memristive Components for Intelligent Technical Systems". In-memory operations in the radiation-hard sense amplifiers of an RRAM array are to be transferred to the processing step through signal evaluation and direct integration of memristive RRAM cells. To test the functionality of the radiation-hard system architecture, intensive simulation work is being carried out. In the simulation environment, a new model for memristive components is used to investigate the entire radiation-hard system architecture using in-memory computing.

The BMBF project Holistic open-source platform for embedded systems-on-chip (AI-IoT) was also recently launched. In addition to optimised power management for particularly energy-efficient system-on-chips for use in applications with a limited energy budget, accelerator components for AI algorithms are also to be developed. While one component uses classic flash cells, a second variant uses memristive memory cells. This part of the overall project will be developed jointly by the project partners IHP and NaMLab.

Biosensors based on plasmon resonances are among the most sensitive methods for detecting changes in the order of a single biomolecule. Future biosensor platforms require the integration of these plasmon sensors into semiconductor manufacturing processes in order to find practical application. Together with the BTU Cottbus-Senftenberg, the first plasmonic sensors are being characterised and a joint BMBF project (AgriNose) is also being acquired,

erfolgreiche Zusammenarbeit mündete in einem weiteren gemeinsamen DFG-Antrag, welcher sich zurzeit in der Begutachtung befindet.

Biosensoren, basierend auf Plasmonenresonanzen, zählen zu den sensibelsten Methoden, um Veränderungen der Ordnung eines einzelnen Biomoleküls nachzuweisen. Zukünftige biosensorische Plattformen erfordern die Integration dieser Plasmonensensoren in Halbleiterfertigungsprozesse, um in der Praxis Anwendung zu finden. Gemeinsam mit der BTU Cottbus-Senftenberg werden die ersten plasmonischen Sensoren charakterisiert und das gemeinsame BMBF-Projekt (AgriNose) eingeworben, in dem die plasmonischen Sensoren als elektronische Nasen weiterentwickelt werden, um Krankheiten von Nutzpflanzen frühzeitig zu erkennen.

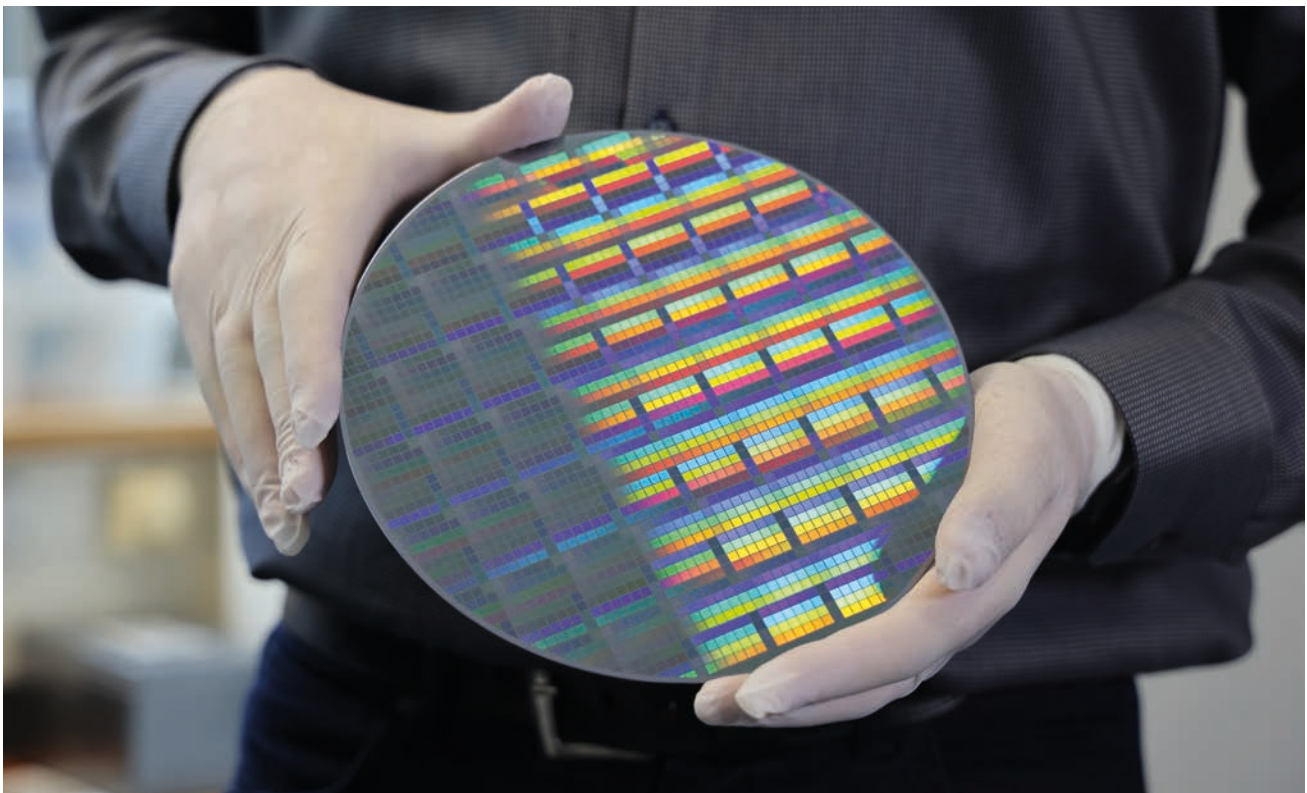
Im Rahmen der Energiewende wandelt sich die Lausitz als traditionelle Energieregion strukturell vom Kohlerevier zur Modellregion der Wasserstoffstrategie, wobei (Kohlen-)Wasserstoffe (synthetische Kraftstoffe) als wichtige Energieträger der Zukunft für stationäre und mobile Anwendungen gelten. Dadurch entsteht ein enormer Bedarf an leistungsfähigen Sensoren für die sicherheitsrelevante Überwachung während des Transports und der Lagerung der fluiden Kraftstoffe sowie deren Nutzung beim Endkunden. Im Rahmen des Projektes iCampus 2 werden zur zukünftigen synchronen Erfassung von Wasserstoff und Kohlenwasserstoffen neue Sensorsysteme entwickelt.

Das ebenfalls in Cottbus lokalisierte Verbundvorhaben "Optoelektronische Sensoren für anwendungsnahe Systeme für Lebens-

in which the plasmonic sensors are being further developed as electronic noses to detect crop diseases at an early stage.

As part of the energy transition, Lusatia, as a traditional energy region, is undergoing a structural transformation from a coal mining area to a model region for the hydrogen strategy, with (carbon) hydrogen (synthetic fuels) being regarded as important future energy sources for stationary and mobile applications. This creates an enormous demand for high-performance sensors for safety-related monitoring during transportation and storage of the fluid fuels and their use by the end customer. As part of the iCampus 2 project, new sensor systems are being developed for the future synchronous detection of hydrogen and hydrocarbons.

The joint project "Optoelectronic sensors for application-oriented systems for life sciences and intelligent manufacturing" - OASYS, also located in Cottbus, focuses on two thematic clusters with a total of five lead projects. In the MEMS-based hyperspectral imaging cluster, research into promising sensory materials and components is creating the basis for a wide range of innovative applications, e.g. in industrial manufacturing, modern agricultural production, process technology and medical diagnostics, as well as for smart mobility applications and consumer electronics. The cluster "High-resolution optical processes for the life sciences" addresses future needs in the fields of biology, biotechnology, medicine, medical technology and health sciences.

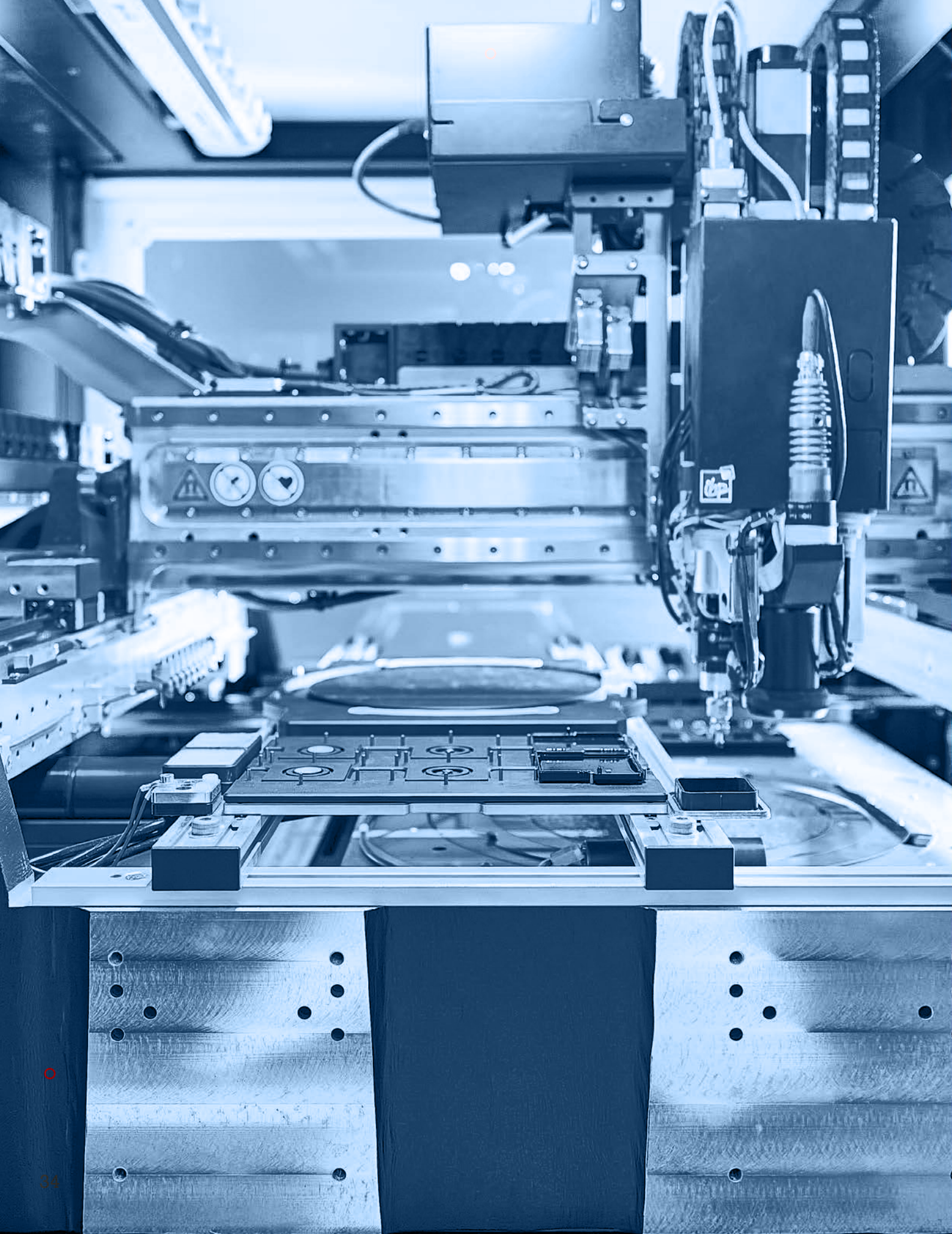


wissenschaften und intelligente Fertigung" – OASYS fokussiert sich auf zwei thematische Cluster mit insgesamt fünf Leitprojekten. Im Cluster MEMS-basierte hyperspektrale Bildgebung wird durch die Erforschung vielversprechender sensorischer Materialien und Bauelemente die Basis für eine Vielzahl innovativer Anwendungen, z. B. im Bereich der industriellen Fertigung, in der modernen Agrarproduktion, im Bereich der Prozesstechnologie und medizinischen Diagnostik, aber auch für Smart Mobility-Anwendungen und Konsumelektronik, geschaffen. Im Cluster "Hochauflösende optische Verfahren für die Biowissenschaften" wird zukünftig zu erwartender Bedarf für die Felder Biologie, Biotechnologie, Medizin, Medizintechnik und Gesundheitswissenschaften adressiert.

Wafer mit Nanolochgitter als Teststrukturen (links)
Wafers with nanohole gratings as test structures (left)

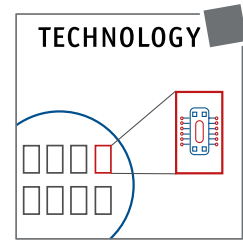
Dr. Oliver Skibitzki (links) und Dr. Jon Schlipf im RAMAN-Labor
Dr. Oliver Skibitzki (left) and Dr. Jon Schlipf in the RAMAN lab





Technologien für smarte Systeme

Technologies for Smart Systems



Im Forschungsprogramm Technologien für smarte Systeme steht die Entwicklung von funktionalen, hochperformanten und spezifischen Technologielösungen für smarte Systeme im Fokus. Die funktionale Erweiterung existierender hochleistungsfähiger Si-Technologien durch neuartige Bauelemente und Funktionen ist das Kernthema der Technologieforschung am IHP. Um den Anforderungen zukünftiger Systeme gerecht zu werden, insbesondere im Hinblick auf die Verbindung leistungsfähiger Digitaltechnologien und neuartiger Funktionalitäten, werden neue Lösungen entwickelt. Das Forschungsprogramm bietet den einzigartigen Vorteil, dass hier, neben Neuentwicklungen konkreter Bauelemente und Prozessmodule, auch neuartige Integrationstechniken sowie die möglichen Erweiterungen und Verbesserungen von existierenden Basistechnologien, wie SiGe-BiCMOS und SiGe-EPIC, erforscht werden können. Zusätzlich konzentriert sich das Forschungsprogramm auf anwendungsnahe Entwicklungen für stabilisierte und qualifizierbare Technologien, z. B. für Spezialanwendungen bei kryogenen Temperaturen oder unter extremen Bedingungen, wie im Weltraum. Auf Basis einer 200-mm-Si-Prozessumgebung werden so verschiedene Technologielösungen entwickelt. Dabei kann mittlerweile ein sehr breites Anwendungsspektrum abgedeckt werden. Neben Entwicklungen, die für die drahtlose und Breitbandkommunikation auf Basis von siliziumbasierten elektrischen und optoelektrischen Hochfrequenztechnologien genutzt werden, stehen auch Forschungs- und Entwicklungsprojekte für Sensoranwendungen (z. B. optoelektronische Sensoren) sowie die Integration neuartiger Bauelemente und Prozesse für den Bereich Künstliche Intelligenz und Quantentechnologien im Fokus. Zudem arbeitet das Forschungsprogramm intensiv an der Erstellung von Designumgebungen für diese Technologien, die neue Open-Source-Möglichkeiten den Zugang für eine breite Wissenschaftsgemeinschaft ermöglicht. Das Forschungsprogramm ist nach einer Umstrukturierung in drei Tätigkeitsbereiche gegliedert, die eng miteinander abgestimmt die Entwicklungsarbeiten umsetzen. Der Bereich „Operation“ mit drei Arbeitsgruppen verantwortet neben der Waferfertigung die gesamte technologische und technische Betreuung der Reinraum- und Laborinfrastruktur. Im Projekt PilotLine 2.0 wird hier weiter an der zukünftigen Teilautomatisierung des Reinraumbetriebes und einer effizienteren Waferfertigung gearbeitet, und erste Meilensteine konnten mit dem Aufsetzen eines neuen MES (Manufacturing Executive System) erreicht werden, welches unter anderem nun ein instantanes Monitoring der Waferprozessierung und Durchlaufzeiten erlaubt. Im Bereich „Research & Development“ widmen sich drei Gruppen den strategischen Forschungsschwerpunkten und im Bereich

The research programme “Technologies for Smart Systems” focuses on the development of functional, high-performance and specific technology solutions for smart systems. The functional extension of existing high-performance Si technologies by novel devices and modules is the core topic of technology research at IHP. To meet the requirements of future systems, especially with regard to the combination of powerful digital technologies and novel functionalities, new solutions are being developed. The research program offers the unique advantage that, in addition to the development of new components and process modules, it is also possible to research new integration techniques and the possible extensions and improvements of existing basic technologies, such as SiGe-BiCMOS and SiGe-EPIC. In addition, the research programme focuses on application-oriented developments for stabilised and qualifiable technologies, e.g. for special applications at cryogenic temperatures or under extreme conditions, such as in space. Various technology solutions are being developed on the basis of a 200-mm Si process environment. In the meantime, a very wide range of applications can be covered. In addition to developments used for wireless and broadband communication based on silicon-based electrical and optoelectric high-frequency technologies, the focus is also on research and development projects for sensor applications (e.g. optoelectronic sensors) and the integration of novel components and processes for the field of artificial intelligence and quantum technologies. The research programme is working intensively on the creation of design environments for these technologies that enable new open-source possibilities and access for a broad scientific community. Following a restructuring, the research programme is divided into three areas of activity, which implement the development work in close coordination with each other. The “Operation” area, with three working groups, is responsible for wafer production and the entire technological and technical support of the cleanroom and laboratory infrastructure. In the PilotLine 2.0 project, work is continuing here on the future partial automation of cleanroom operations and more efficient wafer production, and the first milestones have been reached with the implementation of a new MES (Manufacturing Executive System), which, among other things, now allows instantaneous monitoring of wafer processing and throughput times. In the area of “Research and Development”, three groups are dedicated to the strategic research priorities, and in the area of “Engineering, Integration and Service”, another three working groups are focusing

„Engineering, Integration & Service“ konzentrieren sich weitere drei Arbeitsgruppen auf den Transfer und die stabile Fertigung der neuen Technologieentwicklungen. In 2024 wurden durch alle Bereiche und Arbeitsgruppen insgesamt neun neue öffentlich und industriell geförderte Projekte gestartet und ein industrielles Transferprojekt erfolgreich abgeschlossen.

Forschung & Entwicklung

Die Arbeitsgruppen Si-Photonic, Diagnostic, Sensory und Emerging Modules sowie Heterointegration arbeiten an der Entwicklung neuer Bauelemente und Technologien. Ziel aller Arbeitsgruppen ist es, neue Integrationstechniken zu entwickeln, die mit Hilfe der vorhandenen Prozessinfrastruktur und einem hohen Maß an Kompatibilität für eine 200-mm-Fertigung umgesetzt werden können. Hierzu zählen Weiterentwicklungen im Bereich der Photonik, wie SiN-basierte PIC-Plattformen und deren monolithische Integration in ein SiGe-EPIC-BEOL, oder auch die Integration von extern bereitgestellten InP-Chiplets für eine quasi-monolithische Laserintegration in das BEOL einer SiGe-EPIC-Technologie. Die Entwicklungen im Bereich Si-Photonic konnten, insbesondere durch neue Projekte wie QISS-ME (BMBF) oder PhoQuS (EU), fortgeführt werden und neue Anwendungsfelder im Bereich Quantentechnologien zusammen mit den Partnern adressiert werden. Dabei steht die Integration von Laser-Quellen, z. B. zur Generierung quantenbasierter Zufallszahlen, im Fokus. Zusätzlich wurden verschiedene Projekte zur Entwicklung neuartiger Sensorkonzepte und Bauelemente auf Basis von photonischen Technologien gestartet. Hierzu zählen u. a. die vom Land Brandenburg geförderten Projekte PICs4Sense und OptiPlat. Weiterer Schwerpunkt bleibt die Entwicklung neuer Verbindungstechnologien. Weiterentwicklungen von hochpräzisen Wafer-zu-Wafer-Verbindungstechnologien wurden so im Rahmen der vom BMBF geförderten Projekte GreenICT und ESSENCE-6G zu einem kollektiven und parallelisierten Chip-zu-Wafer-Verbindungsverfahren weiterentwickelt. Dieser Collective-Die-Bonding-Ansatz wird ein zukünftiger Schlüsselprozess im Bereich der SoC (System-on-Chip) -Technologien und für die Chiplet-Integration am IHP. Ziel ist es, einen kompakten Integrationsansatz für hochleistungsfähige SiGe-Technologien- (IHP) und hochskalierte RF-CMOS-Technologien (FDSOI von GlobalFoundries) zu ermöglichen. Des Weiteren wurden durch neue Projekte im Bereich der Open-Source-Strategie des IHP neue Bauelementintegrationen weiter vorangetrieben. Hierzu zählen die vom BMBF geförderten Projekte FlowSpace oder SIGN-HEP.

Hinzu kommen die fortgeführten Aktivitäten im Rahmen der großen Verbundprojekte innerhalb des FMD-Konsortiums. Hierzu zählt das GreenICT-Projekt, in welchem neben den Aktivitäten im Bereich der Systementwicklung, die durch das Forschungsprogramm Communication- and Embedded System Architectures bearbeitet wird, auch technologische Ziele des Projektes verfolgt wer-

on the transfer and stable production of new technology developments. In 2024, a total of nine new publicly and industrially funded projects were launched by all areas and working groups, and one industrial transfer project was successfully completed.

Research & Development

The groups “Si-Photonic”, “Diagnostic, Sensory & Emerging Modules” and “Heterointegration” are working on the development of new components and technologies. The aim of all working groups is to develop new integration techniques that can be implemented with the help of the existing process infrastructure and a high degree of compatibility for 200 mm production. This includes further developments in the field of photonics, such as SiN-based PIC platforms and their monolithic integration into a SiGe-EPIC BEOL, or the integration of externally provided InP-chiplets for a quasi-monolithic laser integration into the BEOL of a SiGe-EPIC technology. Developments in the field of Si photonics were continued, in particular through new projects such as QISS-ME (BMBF) or PhoQuS (EU), and new fields of application in the field of quantum technologies were addressed together with the partners. The focus here is on the integration of laser sources, e.g. for the generation of quantum-based random numbers. In addition, various projects for the development of novel sensor concepts and components based on photonic technologies were started. These include, among others, the PICs4Sense and OptiPlat projects funded by the state of Brandenburg. The development of new bonding technologies remains another focus. Further developments of high-precision wafer-to-wafer bonding technologies have been developed into a collective and parallelised chip-to-wafer interconnection process as part of the BMBF-funded projects GreenICT and ESSENCE-6G. This “collective die bonding” approach will be a future key process at IHP in the field of SoC (System-on-Chip) technologies and for chiplet integration. The aim is to enable a compact integration approach for high-performance SiGe-Technologies (IHP) and highly scaled RF-CMOS (FDSOI from GlobalFoundries) technologies. Furthermore, new device integrations were advanced by new projects in the area of the IHP's open-source strategy. These include the BMBF-funded projects FlowSpace and SIGN-HEP.

Added to this are the continued activities within the framework of the large joint projects within the FMD consortium. This includes the GreenICT project, in which, in addition to activities in the area of system development, which is being worked on by the Communication and Embedded System Architectures research programme, the technological goals of the project are also being pursued. In addition to the new integration approaches mentioned above, these also include new processes for resource-efficient man-

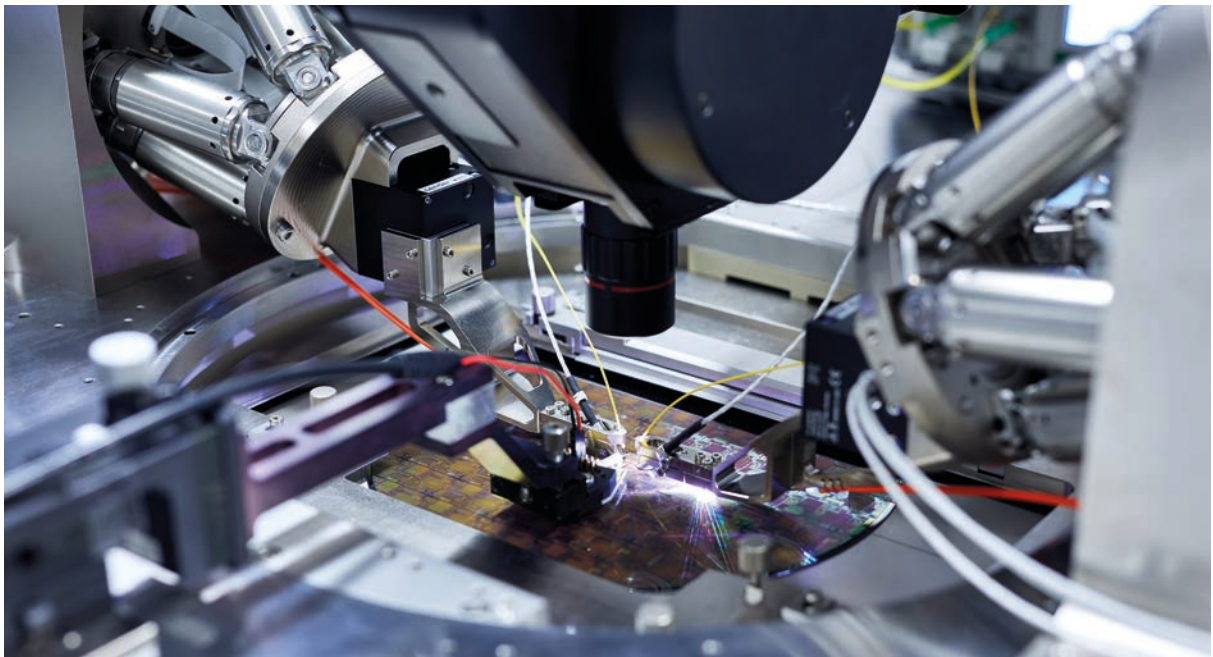
den. Neben den oben genannten neuen Integrationsansätzen sind dies auch neue Prozesse zur ressourcenschonenden Fertigung. Als weiteres Großprojekt ist das FMD-QNC-Vorhaben zu nennen, welches wiederum vom BMBF gefördert wird. Das Projekt wird ebenfalls aus dem Bereich Research and Development und in enger Zusammenarbeit mit dem Bereich Engineering, Integration and Service bearbeitet. Neben drei Großinvestitionen und der Leitung der Forschungs- und Pilotlinie Q5 zählen auch Entwicklungen einer open-PDK-Plattform zu den Hauptaufgaben des IHP.

Intensive und aufwendige Vorbereitungsmaßnahmen wurden 2024 in das Großprojekt APECS gesteckt, welches im Rahmen des EU-ChipsAct gefördert wird und das Ziel verfolgt, eine Pilotlinie für zukünftige Chiplet- und Heterointegrationstechnologien bereitzustellen. Das Projekt hatte den formalen Kick-Off zum Ende des Jahres und wird bis Juni 2029 laufen.

ufacturing. Another major project is the FMD-QNC project, which in turn is funded by the BMBF. The project is also being worked on from the “Research & Development” area and in close cooperation with the “Engineering, Integration & Service” area. In addition to three major investments and the management of the Q5 research and pilot line, the development of an open PDK platform is also one of the main tasks of the IHP.

In 2024, intensive and extensive preparatory measures were put into the major project “APECS”, which is funded under the EU-Chips Act and aims to provide a pilot line for future chiplet and heterointegration technologies. The project had its formal kick-off at the end of the year and will run until June 2029.

Elektrische Charakterisierung eines Multi-Projekt-Wafers
Electrical Characterisation of a Multi-Project-Wafer



Engineering, Integration & Service

Der Bereich Engineering, Integration and Service umfasst verschiedene Kernaufgaben. Zum einen bietet er zahlreiche Fähigkeiten durch Prozess- und Charakterisierungsverfahren, um die breite Unterstützung für alle Forschungsbereiche bereitzustellen. Hierzu zählen die elektrische Charakterisierung, Hochfrequenzcharakterisierung und die auf Wafer-Level einsetzbare Kryo-Charakterisierung. Die daraus gewonnenen Erkenntnisse sollen so in Projekte für neue Quantensysteme und für zukünftige Quantencomputing-Anwendungen genutzt werden. Dies ist notwendig, da viele der aktuellen Qubit-Ansätze nur bei Temperaturen unterhalb von 4 K funktionieren und eine elektrodynamische Manipulation durch

Engineering, Integration & Service

The “Engineering, Integration & Service” division is responsible for a range of core tasks. Firstly, it offers a wide range of skills in the form of processes and characterisation methods to provide broad support for all research areas. These include electrical characterisation, high-frequency characterisation and cryogenic characterisation that can be used at the wafer level. The insights gained from this work will be used in projects for new quantum systems and for future quantum computing applications. This is necessary because many of the current qubit approaches only work at temperatures below 4 K, and electrodynamic manipulation by

ein entsprechendes Hochfrequenzsignal, das durch entsprechende Tieftemperatur-Elektronik bereitgestellt wird, gegeben sein muss.

Dafür muss die Elektronik auch bei diesen geringen Temperaturen charakterisiert, modelliert und funktionsfähig und durch ein sogenanntes Prozess-Design-Kit abgebildet sein. Ein weiterer Bereich, in welchem diese Fähigkeiten Anwendung finden, sind die Qubit-Technologien auf Basis von SiGe-Substraten. Weitere dedizierte Prozessentwicklungen sind ALD-basierte Verfahren. Diese Entwicklungen werden unter anderem für die Verbesserung existierender HF-Bauelemente im FEOL eingesetzt werden. Der Bereich Engineering unterstützt zudem weiterhin die Integration von 2D-Materialien in 200-mm-Si-Technologien. Hier konnten ebenfalls in Kooperation mit den anderen Forschungsprogrammen die Projekte erfolgreich fortgesetzt werden. Eine weitere Kernaufgabe des Bereiches Engineering, Integration and Service ist die Bereitstellung, Optimierung und Stabilisierung eines breiten Portfolios an Basistechnologien. Es ist weiterhin das Alleinstellungsmerkmal des IHP, im Vergleich zu anderen nationalen (z. B. Fraunhofer-Gesellschaft) und internationalen (z. B. CEA-Leti und IMEC) Forschungseinrichtungen die entwickelten Technologien als Plattformen in einem kontinuierlichen Forschungs- und Prototypenservice anzubieten und so den Partnern die Möglichkeit zu geben, sich eigene maßgeschneiderte Lösungen zu generieren. Dafür sind kontinuierlicher interner Transfer von Neuentwicklungen und Pflege des existierenden Portfolios an Technologien notwendig. Aktuell sind dies die verschiedenen SiGe- BiCMOS-Plattformen sowie ausgewählte EPIC-Varianten. Alle Teams des Forschungsprogramms arbeiten kontinuierlich an Verbesserungen dieser Basistechnologien. So wurden die Arbeiten für eine neue Generation der weltbesten SiGe-BiCMOS-Plattform im internen SG13G3-Projekt fortgesetzt und werden im vom Bund geförderten Projekt SICHER in eine qualifizierte Plattform überführt.

Die Entwicklungen für photonische Technologien, sogenannte EPIC- und PIC-Technologien der nächsten Generation, wurden weiter fortgesetzt und sollen 2025 in einem ersten Angebot den Partnern zur Verfügung gestellt werden. All diese Technologieangebote verlangen eine professionelle Designplattform, die durch den Engineering-, Integrations- und Service-Bereich entwickelt, kontinuierlich verbessert und bereitgestellt werden. Speziell in diesem Arbeitsgebiet gibt es derzeit zahlreiche Aktivitäten und Projekte. Die bereits erwähnte Entwicklung von PDK-Umgebungen für kryogene Elektronik, z. B. für Anwendungen im Bereich von Quantentechnologien, ist hier ein zentrales Thema. Letztlich geht es darum, für die existierenden Technologieplattformen Modelle zu entwickeln, die das Bauelementverhalten bei kryogenen Temperaturen unter 70 K beschreiben und so komplexe ASIC-Designs ermöglichen. Diese können dann insbesondere für Manipulations- und Ausleseschaltkreise für Quantencomputing genutzt werden. Die Arbeiten zu Open-Source-Design-Kit-Plattformen, die in verschiedenen Projek-

a corresponding radio-frequency signal, provided by appropriate low-temperature electronics, must be possible.

For this purpose, the electronics must be characterised, modelled and functional even at these low temperatures and mapped by a so-called process design kit. Another area in which these capabilities are applied are qubit technologies based on SiGe substrates. Other dedicated process developments are ALD-based processes. These developments will be used, among other things, to improve existing RF components in the FEOL. The engineering division also continues to support the integration of 2D materials into 200 mm Si technologies. Here, too, the projects were successfully continued in cooperation with the other research programmes. Another core task of the "Engineering, Integration & Service" division is the provision, optimisation and stabilisation of a broad portfolio of basic technologies. It is still the unique selling point of the IHP, compared to other national (e.g. Fraunhofer Gesellschaft) and international (e.g. CEA-Leti & IMEC) research institutions, to offer the developed technologies as platforms in a continuous research and prototype service, thus giving the partners the opportunity to generate their own customized solutions. This requires a continuous internal transfer of new developments and the maintenance of the existing portfolio of technologies. These currently include the various SiGe-BiCMOS platforms and selected EPIC variants. All teams in the research programme are continuously working on improvements to these basic technologies. Work on a new generation of the world's best SiGe-BiCMOS platform continued in the internal SG13G3 project and will be transferred to a qualified platform in the federally funded SICHER project.

The developments for photonic technologies, so-called EPIC & PIC technologies of the next generation, were continued and are to be made available to the partners in an initial offering in 2025. All these technology offerings require a professional design platform that is developed, continuously improved and provided by the "Engineering, Integration & Service" division. In this area in particular, there are currently numerous activities and projects. The aforementioned development of PDK environments for cryogenic electronics, e.g. for applications in the field of quantum technologies, is a focus here. Ultimately, the goal is to develop models for existing technology platforms that describe component behaviour at cryogenic temperatures below 70 K, thus enabling complex ASIC designs. These can then be used in particular for manipulation and read-out circuits for quantum computing. The work on open-source design kit platforms, which are developed and used in various projects, has become a strategic focus at IHP, and the first open-source wafer runs with so-called Tiny-TapeOuts are being implemented.

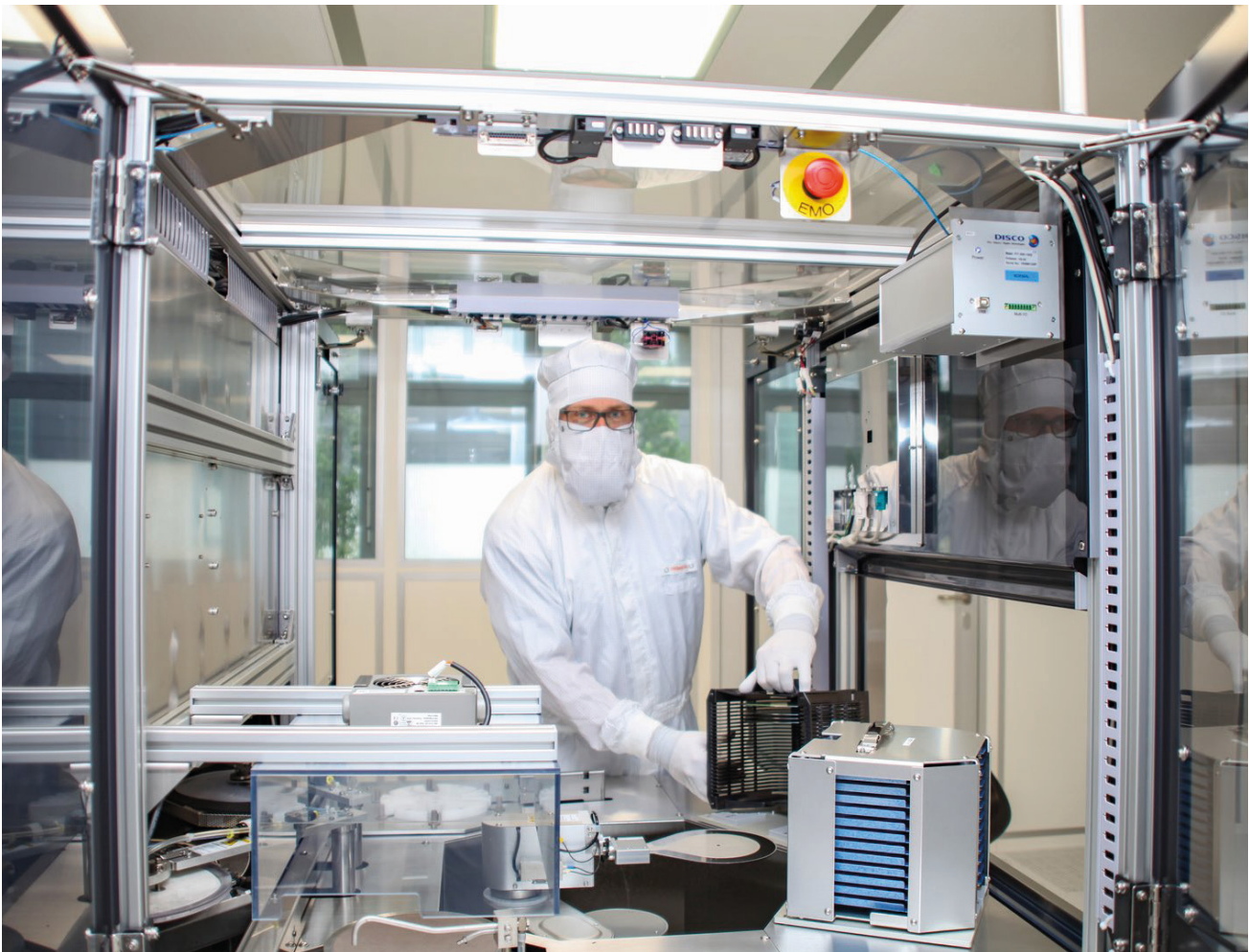
In addition to these research and development activities, the Integration and Service Department also focuses on direct cooperation with semiconductor manufacturers for large-scale production, including technology transfer. The transfer of a highly

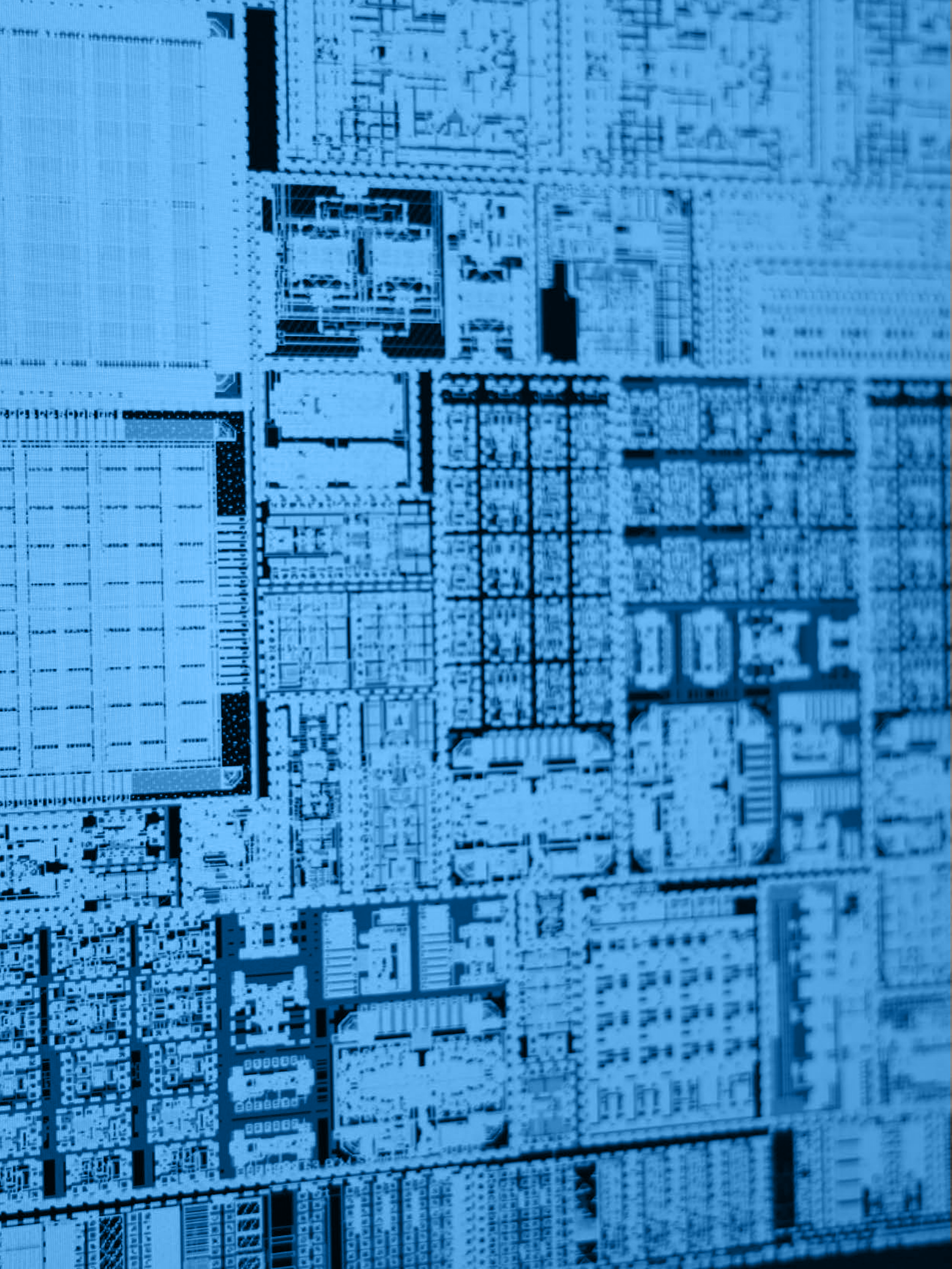
ten entwickelt und eingesetzt werden, sind zu einem strategischen Schwerpunkt am IHP herangewachsen und erste Open-Source-Waferdurchläufe mit sogenannten Tiny-TapeOuts werden umgesetzt.

Neben diesen Entwicklungs- und Forschungsaktivitäten konzentriert sich der Bereich Integration und Service auch auf die direkte Kooperation mit Halbleiterherstellern für großvolumige Produktion bis hin zum Technologietransfer. Der zum Jahresbeginn begonnene Transfer einer fortschrittlichsten SiGe-BiCMOS-Plattform zu einem renommierten Industrieunternehmen konnte zudem erfolgreich abgeschlossen werden. Mit den genannten Projekten und Aktivitäten verfolgt das IHP weiterhin den klaren Auftrag, anwendungsorientierte und hochleistungsfähige Mikroelektroniktechnologien in einem sehr kurzen time-to-market-Modell Partnern aus akademischer Forschung und Industrie anzubieten.

advanced SiGe BiCMOS platform to a well-known industrial company that began at the start of the year has also been successfully completed. With the projects and activities mentioned, the IHP continues to pursue the clear mission of offering application-oriented and high-performance microelectronics technologies in a very short time-to-market model to partners from academic research and industry.

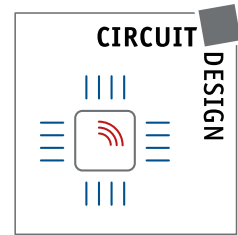
Prozessingenieur Thomas Voß im Nanolab
Process engineer Thomas Voß in nanolab





Hochfrequenz-Schaltungen

RF-Circuits



Im Forschungsprogramm Hochfrequenzschaltungen werden integrierte Mikrowellen- und Millimeterwellenschaltungen, Breitband-Mischsignal-Schaltungen sowie Schaltungen mit hoher Energieeffizienz für die Kommunikation und die Sensorik entworfen und realisiert.

Millimeterwellen- und THz-Sensorschaltungen

Dieser Abschnitt des Forschungsprogramms RF-Schaltungen konzentriert sich auf die Schlüsselaktivitäten des Designs integrierter Schaltungen im Millimeterwellen- und Sub-THz-Bereich. Konkret werden Chipsätze und Platinen für Radarsensoren, Bildgebung, Spektroskopie sowie Test- und Messgeräte entworfen und entwickelt. Die relevanten Frequenzbänder und Anwendungsbereiche sind sehr breit gefächert, sie reichen von 30 GHz bis über 540 GHz und zielen hauptsächlich auf die Bereiche Industrie, Medizin, Raumfahrt und Bildgebung ab. Die neueste Generation der haus-eigenen SiGe-BiCMOS-Prozesse mit verschiedenen Zusatzmodulen bietet eine hervorragende Plattform für die in diesem Programm entwickelten Chipsätze. Die HF-Leistung der Technologie bietet viele Freiheitsgrade zur Optimierung der Schaltkreise in verschiedenen Dimensionen wie Betriebsfrequenz, Energieeffizienz, Rauschen und Leistung.

Ein wichtiger Teil der Programmressourcen ist der Entwicklung eines skalierbaren Sub-THz-Abbildungsradarsystems mit großer Reichweite im J-Band (220 - 320 GHz) gewidmet, das eine vielversprechende HF-Bandbreite und damit eine gute Radarauflösung aufweist. In diesem Zusammenhang wurden mehrere MIMO-Systeme unter Verwendung der zuvor entwickelten 256-GHz-Transceiver-Schaltungen mit On-Chip-Antennen aufgebaut und in der Absorberkammer untersucht. Parallel dazu wurde mit der Entwicklung der nächsten Generation von J-Band-Chipsätzen begonnen, die den SG13G3-Prozess nutzen, um ein besseres Rauschverhalten und eine höhere Ausgangsleistung zu erzielen. Es wurden hochleistungsfähige Schlüsselbausteine wie LNAs, PAs, subharmonische Mischer und Antennen implementiert.

Die Verwirklichung einer Multiband- und Multimode-Radar-sensorplattform ist weiterhin ein besonders interessantes Ziel in diesem Programm. Daher wurden hochpräzise und energieeffiziente 30-GHz- und 40-GHz-Frequenzsynthesizer-Chips ebenfalls im SG13G3-Prozess implementiert, um die vielen kaskadierbaren

In the research programme RF Circuits, integrated microwave- and millimetre-wave circuits, broadband mixed-signal circuits, and circuits with high energy efficiency for communication and sensing applications are designed and realised.

Millimeter-Wave & THz Sensor Circuits

This section under the RF Circuits research programme focuses on the key activities of millimetre-wave and sub-THz integrated circuit design. More specifically, chipsets and boards are designed and developed for radar sensors, imaging, spectroscopy, and test and measurement equipment. The frequency bands and application areas of interest are very broad, covering from 30 GHz up to beyond 540 GHz and mainly targeting the industrial, medical, space, and imaging fields. The latest generation of in-house SiGe BiCMOS processes with various additional modules provide an excellent platform for the chipsets developed in this research programme. The RF performance of the technology allows many degrees of freedom to optimise the circuits in multiple dimensions, including operation frequency, energy efficiency, noise, and power.

An important part of the research programme resources is devoted to the development of a long-range scalable sub-THz imaging radar system at the J-band (220-320 GHz), which exhibits a promising RF bandwidth and hence a good radar resolution. Several MIMO systems have been built in this context using the previously developed 256-GHz transceiver circuits with on-chip antennas and characterised in the anechoic chamber. In parallel, design activities for the next generation J-band chipsets have started utilising the SG13G3 process to enable better noise and output power performance. High performance key building blocks, including LNAs, PAs, sub-harmonic mixers, and antennas, have been implemented.

The realization of a multi-band and multi-mode radar sensor platform continues to be a particularly interesting target in this programme. Therefore, highly precise and energy-efficient 30 GHz and 40 GHz frequency synthesiser chips have also been implemented in the SG13G3 process to facilitate the many cascadable transceivers across various bands. In addition, energy-efficient injection-locking circuits were investigated to serve as the first element in the mentioned transceivers used in the LO-scalable architecture.

Transceiver für verschiedene Bänder zu ermöglichen. Außerdem wurden energieeffiziente Injektions-Locking-Schaltungen untersucht, die als erstes Element in den genannten Transceivern in der LO-skalierbaren Architektur verwendet werden.

Auch der Aspekt der Energieeffizienz der entwickelten integrierten Schaltungen bleibt ein wichtiger Forschungsschwerpunkt. Die Aktivitäten werden im Bereich 120 GHz und 160 GHz fortgesetzt, zusammen mit dem ständig wachsenden Interesse am D-Band (110 - 170 GHz). Sende- und Empfangsschaltungen, die niedrige Versorgungsspannungen verwenden und sehr wenig Gleichstrom verbrauchen, sind für die Portabilität und Skalierbarkeit künftiger sensorischer Systeme von großer Bedeutung. Darüber hinaus wurde mit der Untersuchung des Co-Designs und der Hetero-Integration mit anderen technologischen Plattformen begonnen, insbesondere InP mit seiner geringen Rauschleistung und hohen Ausgangsleistung, um das Beste aus den SiGe- und InP-Technologien herauszuholen.

Die D-Band-Aktivitäten sind außerdem auf die jüngsten Entwicklungen im Bereich 6G ausgerichtet, insbesondere auf zuverlässige Transceiver mit mehreren Eingängen und Ausgängen, die über robuste Subsysteme, selbstkalibrierende Blöcke und eingebaute Selbsttests verfügen. Darüber hinaus wird die Entwicklung hoch energieeffizienter Transceiver-Schaltungen mit dem Ziel fortgesetzt, integrierte Sensorik und Kommunikation bei 60 GHz für 6G-Funksysteme zu ermöglichen.

Schließlich wurden modernste CMOS-Technologien für die Entwicklung wichtiger HF-Schaltkreisbausteine wie TIAs und Frequenzteiler eingesetzt. Dieser neue Forschungszweig hat die ersten erfolgreichen Messergebnisse mit einer tief skalierten CMOS-Technologie erbracht.

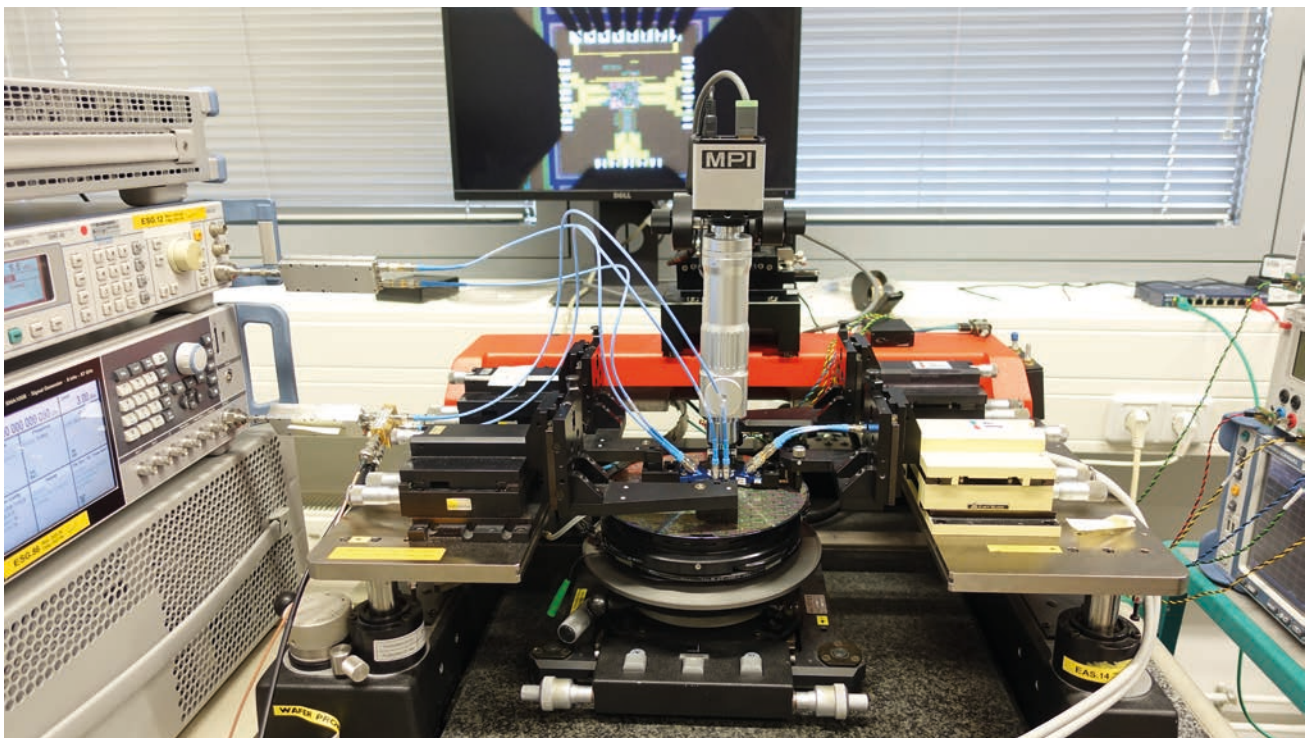
The energy efficiency aspect of the developed integrated circuits also remains a significant point of research. The activities in the range of 120 GHz and 160 GHz continue, together with the ever-growing interest in the D-band (110-170 GHz). Transceiver circuits using low supply voltages and consuming very little DC power are of great importance for portability and scalability features of future sensory systems. In addition, investigation of co-design and hetero-integration with other technological platforms, especially InP with its low noise and high output power performance, has been started to make the most out of both SiGe and InP technologies.

The D-band activities are additionally directed toward the recent developments in 6G, particularly in the direction of reliable multiple-input multiple-output transceivers with resilient sub-systems, self-calibrating blocks, and built-in-self-test units. In addition, the highly energy-efficient transceiver circuit developments continue with the goal of enabling integrated sensing and communication at 60 GHz for 6G radio systems.

Finally, state-of-the-art CMOS technologies have been utilised for the design of key RF circuit building blocks such as TIAs and frequency dividers. This new branch of investigation has yielded its first successful measured results using a deeply scaled CMOS technology.

Das Setup wird zur Charakterisierung von HF- und Millimeterwellen-Chips verwendet

The setup is used to characterise RF and mm-wave chips



Kommunikationsschaltungen für hohe Datenraten

Die Arbeitsgruppe High Data-Rate Communication Circuits ist in der Entwicklung von Breitbandschaltungen für drahtlose und drahtgebundene Datenkommunikationsanwendungen tätig. Die entwickelten Schaltkreise profitieren von den Rekordbetriebsfrequenzen der Hochgeschwindigkeits-IHP-Technologien und bieten innovative Lösungen, die Datenraten von bis zu Hunderten von Gigabit pro Sekunde unterstützen.

Die Forschungsanstrengungen auf dem Gebiet der drahtlosen Kommunikation haben zu beträchtlichen Fortschritten bei den Kommunikationssystemen geführt, die in den verschiedenen Frequenzbändern (Ka-Band, V-Band, D-Band, J-Band, 300-GHz-Band) entwickelt wurden, sowie bei den Zeit- und Frequenzverschachtelungsschaltungen, die für den Aufbau breitbandiger Basisbandsignale verwendet werden. Darüber hinaus wurde mit der Erforschung der Möglichkeiten der IHP-Technologie im Bereich der hocheffizienten Leistungsverstärker begonnen, da die Leistungseffizienz im Bereich der batteriegespeisten Kommunikationssysteme von größter Bedeutung ist.

Im Bereich der optoelektronischen Systeme wurde die Forschung zu Breitband-TIAs und Modulatortreibern sowohl mit rein elektrischen als auch mit EPIC-Technologien durchgeführt. Neue Techniken zur Bandbreitenerweiterung, wie abstimmbare Induktoren, wurden erforscht, um nicht nur die Datenrate zu erhöhen, sondern auch einen analogen Bandbreitenausgleich zu ermöglichen. Eine weitere Forschungsrichtung besteht in der Entwicklung einer voll integrierten drahtlosen Brücke, die das Potential der EPIC-Technologie voll ausschöpft und auf einem einzigen Chip sowohl optoelektronische als auch drahtlose Hochgeschwindigkeitskommunikationssysteme vereint.

Energieeffiziente drahtlose und analoge Schaltungen

Die Energieeffizienz von HF- und Analog-Schaltungen wird in vielen Anwendungsbereichen immer wichtiger. Neben den allseits bekannten mobilen und drahtlosen Kommunikationssystemen, beispielsweise drahtlose Sensornetzwerke im Internet der Dinge, rücken auch Raumfahrt- und Tieftemperaturanwendungen weiter in den Fokus dieser Arbeitsgruppe. Auch hier ist die Energieeffizienz der HF- und Analog-Schaltungen essentiell und erfordert entsprechende Konzepte auf Schaltungs- und Systemebene, die die Trade-offs zwischen Performance, Zuverlässigkeit und Leistungsverbrauch adressieren. Die wissenschaftlichen Herausforderungen reichen von Designmethoden für effiziente, robuste und strah-

High Data-Rate Communication Circuits

The High Data-Rate Communication Circuits working group is active in the development of broadband circuits for both wireless and wireline data communication applications. The developed circuits capitalise on the record operating frequencies offered by the high-speed IHP technologies, offering innovative solutions supporting data rates up to hundreds of gigabits per second.

Research efforts in the field of wireless communication radio front-ends have led to appreciable advancements in the communication systems developed within the different frequency bands (Ka-band, V-band, D-band, J-band, 300 GHz-band) as well as in the time and frequency interleaving circuits used for constructing broadband baseband signals. In addition, the exploration of the IHP technology capabilities in the area of high efficiency power amplifiers has been initiated, power efficiency being of paramount importance in the field of battery-supplied communication systems.

In the field of optoelectronic systems, the research on broadband TIAs and modulator drivers has been carried out on exploiting both purely-electrical and EPIC technologies. New bandwidth extension techniques such as tunable inductors have been explored in order not only to increase the data rate but also to enable analog bandwidth equalisation. A further research direction consists of the development of a fully integrated wireless bridge, which fully exploits the potential of the EPIC technology joining on a single die both optoelectronic and wireless high-speed communication systems.

Energy-Efficient Wireless & Analog Circuits

Energy efficiency of radio frequency (RF) and analog circuits is becoming more and more important in many application fields. Besides well-known mobile and wireless communication systems, e.g. wireless sensor networks in the Internet of Things, other applications like space or deep temperature applications (4 K) move into the focus of the research group. These applications also require energy efficient RF and analog circuits and therefore demand appropriate concepts on the circuit and system level, which address trade-offs between performance, reliability and power dissipation. Scientific challenges are seen in terms of design methodology for efficient, robust and radiation-hard circuits as well as for intelligent and application specific power management.

lungsharte Schaltungen bis hin zu einem intelligenten, anwendungsspezifischen Powermanagement.

Neben der Datenübertragung spielt auch die Abstands- oder Positionsbestimmung in vielen drahtlosen Netzwerken eine zunehmend wichtigere Rolle. Neben der Unterstützung besonders energieeffizienter Netzwerktopologien ist auch die Lokalisierung drahtloser Netzwerkknoten an sich eine sehr interessante Anwendung. Im Spannungsfeld zwischen Lokalisierungsgenauigkeit und Leistungsverbrauch haben sich Impulse-Radio-UWB-Schaltungen hervor getan, die eine besonders gute Ortsauflösung bei hohen Aktualisierungsraten ermöglichen. Die Forschungsergebnisse auf diesem Gebiet fließen derzeit in die Gründung eines Startup-Unternehmens, welches durch ein EXIST-Gründerstipendium unterstützt wird.

Ein weiteres Betätigungsfeld sind energieeffiziente HF-Schaltungen, die bei extrem tiefen Temperaturen (beispielsweise 4 Kelvin) agieren sollen. Die Eigenerwärmung der Schaltungen ist hier das kritische Problem, welches durch den Einsatz entsprechender externer Kühlleistung kompensiert werden muss. Hier werden HF-Schaltungen für die Ansteuerung von Qubits in zukünftigen Quanten-Computing-Systemen entwickelt, die einen höchstmöglichen Integrationsgrad bei gleichzeitig geringstmöglicher Verlustleistung aufweisen sollen.

Auch in HF-Schaltungen für Raumfahrtanwendungen ist die Energieeffizienz ein essentieller Parameter. Darüber hinaus ist die Strahlungsfestigkeit sowie der Umgang mit ungewollten transienten Effekten im Analog- bzw. HF-Bereich ein wichtiges Betätigungsfeld der Arbeitsgruppe. Es werden Methoden zur Simulation und Bewertung von Transienten- und Langzeiteffekten entwickelt und Schaltungstechniken zur Minimierung der Auswirkungen solcher Effekte auf die Gesamtleistung untersucht. Mit Untersuchungen zur Strahlungsfestigkeit an Testschaltungen sollen allgemeine Designstrategien überprüft und etabliert werden.

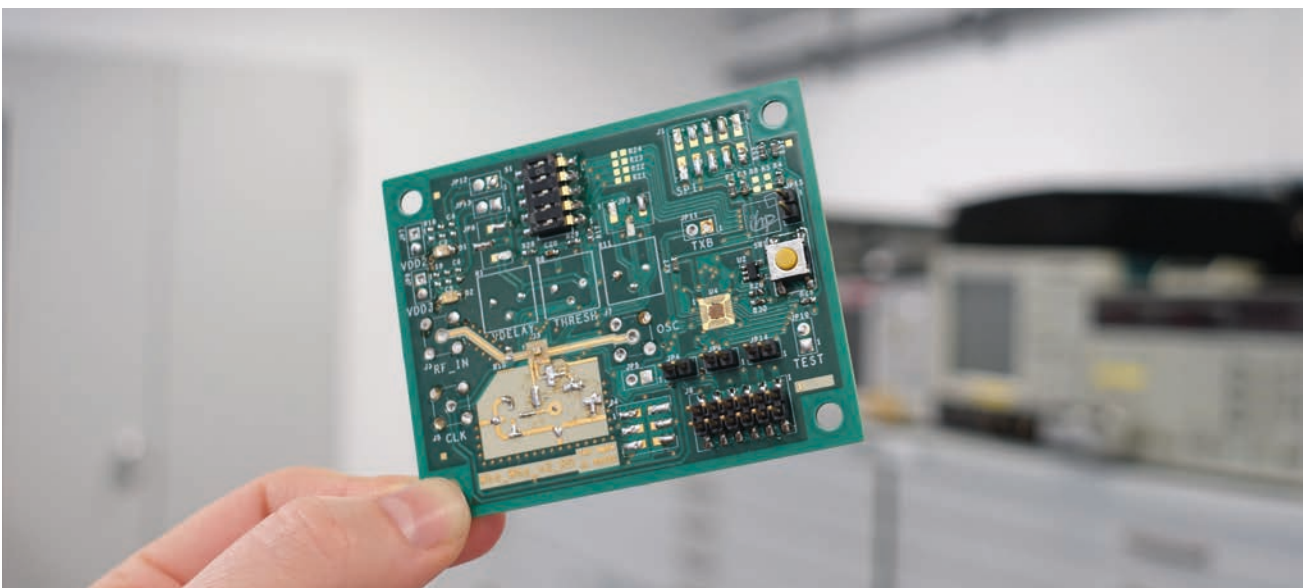
Besides data transmission the determination of distances and positions of members in wireless networks is becoming more and more important. Apart from the support of especially energy-efficient network topologies the localisation of network nodes is also a very attractive application. In the scope of the trade-off between localisation accuracy and power consumption, Impulse-Radio UWB circuits have shown very good spatial precision while having high update rates. The research results in this field are currently used to enable the founding of a startup company, which is supported by an EXIST-Gründerstipendium.

An additional field of activity is RF-circuits dedicated to operation at very low temperatures (e.g. 4 Kelvin). The self-heating of the circuits is the critical issue, which imposes the application of corresponding external cooling power for compensation. Currently, RF circuits will be developed to control Qubits in future quantum computing systems. The development aims for highest integration level while achieving lowest DC power dissipation.

The energy efficiency is an essential parameter for RF circuits in space applications too. In addition, the hardness against cosmic radiation in terms of transient and long-term effects is an important field of activity of the research group. Methods to simulate and assess these kinds of effects will be developed as well as circuit design techniques to overcome unwanted radiation issues. Established mitigation strategies shall be verified by corresponding test circuits and measurement campaigns.

Testplatine für SAW-Filter-basierten WakeUp-Receiver (links) und Baseband-Prozessor (rechts), die im Rahmen des Projektes „WakeMeUp“ entwickelt wurde

Test board for SAW-filter-based WakeUp receiver (left) and a baseband processor (right), developed within the project “WakeMeUp”



AD/DA-Konverter und Hochgeschwindigkeits-Logikschaltungen

Die Forschungsschwerpunkte der Arbeitsgruppe liegen im Schaltungsdesign, in der Forschung und Entwicklung von Analog-Digital- (ADC) und Digital-Analog-Wandler- (DAC) ICs sowie von Mixed-Signal-Schaltungen, die in einem breiten Forschungs- und Anwendungsbereich benötigt werden. Dies reicht von ADCs und DACs mit niedriger Geschwindigkeit und geringem Stromverbrauch für analoge neuromorphe Berechnungen bis hin zu Basisband-Datenkonvertern für einen 6G-Kommunikationstransceiver, der eine Bandbreite von bis zu 30 GHz erreichen soll. Darüber hinaus ist die Arbeitsgruppe in der Entwicklung von Mixed-Signal-ICs für Raumfahrt- und medizinische Anwendungen tätig. Die hauseigenen SiGe-BiCMOS-Technologien decken alle diese Forschungsthemen ab.

Dank des RRAM-Moduls, das programmierbare non-volatile Widerstandselemente enthält, ist es möglich, vollständig integrierte RRAM-Arrays einschließlich Programmierlogik, ADCs und DACs auf einem Chip zu platzieren. Auf dieser Grundlage haben wir ein 3-Layer-IC für ein künstliches neuronales Netzwerk (ANN) entwickelt, das eine Vektor-Matrix-Multiplikation im analogen Bereich realisiert. Der nächste Schritt besteht darin, mehrere dieser ICs auf einer Leiterplatte zusammenzusetzen, um ein komplexeres ANN zu bauen. Dieses ANN wurde speziell für die Gestenerkennung auf der Grundlage der internen Datensätze entwickelt und optimiert. Durch die Anwendung von Optimierungsalgorithmen war es möglich, das ursprüngliche ANN mit Tausenden von Parametern in ein dreischichtiges ANN-Modell mit weniger als 30 Parametern einzupassen.

Eine weitere Forschungsaktivität, die innerhalb der Arbeitsgruppe begonnen wurde, ist die Entwicklung einer echten neuronalen Schnittstelle. Sie besteht aus einem rauscharmen Verstärker und einem A/D-Wandler. Die größte Herausforderung besteht darin, ein sehr kompaktes und energieeffizientes System zu entwickeln, wobei der Schwerpunkt auf der Integration mit einer drahtlosen Schnittstelle auf einem Chip liegt.

Andererseits ermöglichen schnelle Bipolartransistoren die Entwicklung von integrierten Schaltungen, die höchste Abtastraten und Bandbreiten erfordern. Kürzlich wurde ein 4-Bit-DAC in Hardware demonstriert und ein Test eines D/A-Wandler-IC, der eine Bandbreite von 30 GHz abdeckt, wird vorbereitet.

Data Converters & High-Speed Logic Circuits

The working group's activities focus on circuit design, research and development of analog-to-digital (ADC) and digital-to-analog converter (DAC) ICs, as well as mixed-signal circuits required in a broad research and application areas. These range from low-speed and low-power ADCs and DACs for analog neuromorphic computing, up to baseband data converters for a 6G communication transceiver, targeting instantaneous bandwidth of up to 30 GHz. Moreover, the working group is active in the development of mixed-signal ICs for space and medical applications. In-house 130 nm SiGe BiCMOS technologies cover all these research topics.

Thanks to the RRAM module containing programmable non-volatile resistor elements, it is possible to build fully integrated RRAM arrays including programming logic, ADCs and DACs on a single chip. Based on that, we designed a 3-layer artificial neural network (ANN) IC realising a vector matrix multiplication in the analog domain. At the next step, several of these ICs will be assembled on a PCB to build a more complex ANN. This ANN is specially designed and optimised to process gesture recognition tasks based on the in-house datasets. By applying optimisation algorithms, it was possible to fit the original ANN with thousands of parameters into a 3-layer ANN model with less than 30 parameters.

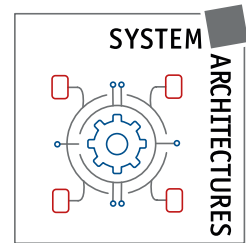
Another research activity started within the working group is the development of a real neural interface. It consists of a low-noise amplifier followed by an ADC. The main challenge is to design a very compact and energy-efficient system with a focus on integration with a wireless interface on one chip.

On the other hand, high-speed bipolar transistors naturally enable the development of integrated circuits demanding highest sampling rates and bandwidth. Recently, a 40 GS/s 20 GHz 4-bit DAC in hardware was demonstrated and prepared to test a DAC IC covering 30 GHz of bandwidth.



Kommunikations- und eingebettete Systemarchitekturen

Communication and Embedded System Architectures



Um den vertikalen Ansatz des IHP zu unterstützen, bezieht sich eine der Schlüsselrollen auf Systemarchitekturen der Kommunikation und allgemein auf eingebettete Systeme. Die Abteilung System Architectures ist in vier Arbeitsgruppen organisiert, die sich mit drahtlosen Breitbandkommunikationssystemen, Entwurfs- und Testmethoden, Hardware Security sowie fehlertolerantem Computing befassen. Zwei der vier Arbeitsgruppen betreiben parallel Joint Labs mit Universitäten aus Brandenburg und Berlin. In 2024 wurde von den Wissenschaftlern der Arbeitsgruppen an insgesamt 31 extern finanzierten Projekten gearbeitet. Die Drittmittelfinanzierung lag bei etwa 81 Prozent.

Drahtlose Breitbandkommunikation

Die Forschung und Entwicklung zu Mobilfunksystemen der 6. Generation (6G) spiegeln sich inzwischen in relativ weit entwickelten Demonstratoren und Prototypen wider. Für 6G sind die Erhöhung der spektralen Übertragungseffizienz und die Nutzung weiterer Spektralbereiche, z. B. im Millimeterwellen-Band und im D-Band (~ 140 GHz) nach wie vor wichtige Themen. Insbesondere zur Leistungssteigerung sind die Parallelisierung von Architekturen, Strahlformung und MIMO-Techniken im Fokus unserer Forschung und Entwicklung. Strahlformung (Beamforming) erlaubt größere Reichweiten für drahtlose Kommunikation und die Verringerung von Interferenz- und Abschattungseffekten. Weiterhin wird die Belastung der Umwelt durch elektromagnetische Wellen verringert und die Energieeffizienz steigt.

Integrated Sensing and Communication (ISAC) ist eine der wesentlichen Technologien für zukünftige 6G-Systeme. Damit wird eine kosten- und energieeffiziente Erfassung der Umgebung ermöglicht. Vor allem im industriellen Umfeld wird ISAC zunehmend auch als sensortechnische Grundlage für Digital-Twin-Technologie eingesetzt.

Im Rahmen der jährlich stattfindenden Berliner 6G-Konferenz wurde vom IHP als Beitrag des Projektes open6GHub ein integrierter Demonstrator präsentiert, welcher ISAC-Technologie zur Unterstützung der Beamforming-Funktion zeigt. Dabei wurde zusätzlich zur Datenübertragung eine monostatische RADAR-Funktion realisiert. Der Demonstrator veranschaulicht, wie die Funktion

To support the vertical approach of IHP, one of the key roles is related to system architectures of communication and, in general, to embedded systems. The System Architectures Department is organised into four working groups dealing with wireless broadband communication systems, design and test methods, fault-tolerant computing and hardware security. Two of the four working groups run Joint Labs with universities from Brandenburg and Berlin. In 2024, the scientists in the working groups worked on a total of 34 externally funded projects. Third-party funding was around 75 percent.

Wireless Broadband Communication

The development of the 6th Generation of Mobile Communication Systems (6G), is now already reflected by advanced demonstrators and prototypes. For 6G, the increase in the spectral transmission efficiency and the use of higher carrier frequencies, e.g. in the millimetre wave band and in the D band (~ 140 GHz), is necessary. For further performance improvements, parallelisation of architectures, beam-forming and MIMO techniques are in the focus of our research and development activities. Beamforming allows greater ranges for wireless data transmission and can mitigate the interference and shadowing effects in wireless communication. Furthermore, the environmental pollution by electromagnetic waves is reduced and the energy efficiency increases.

Integrated Sensing and Communications (ISAC) is one of the key technologies for future 6G-Systems. It potentially facilitates cost- and energy-efficient scanning of the environment. In particular, in industrial applications, ISAC is considered a key sensor technology for the realisation of digital twins.

At the annual Berlin 6G Conference 2024, IHP presented, as a result of the project open6GHub, an integrated demonstrator which shows the support of beamforming by ISAC technology. For this purpose, a monostatic RADAR function was implemented in addition to the data transmission. The demonstrator shows how the communication function can be optimised by deploying ISAC.

During the Industry Advisory Board meeting of the project 6G-RIC, a LOS-MIMO demonstrator developed by IHP was presented.

des Kommunikationssystems mit Hilfe der sensorischen Funktion optimiert werden kann.

Im Rahmen des Industry Advisory Board Meetings des Projektes 6G-RIC wurde ein vom IHP entwickelter LOS-MIMO-Demonstrator präsentiert. Nach unseren Erkenntnissen ist dies die erste Demonstration einer LOS-MIMO-Übertragung im D-Band (~140 GHz). Die Entwicklung dieses Demonstrators erfolgte in enger Zusammenarbeit der Abteilungen Technology, Circuit Design und System Architectures am IHP.

Im Projekt GreenICT werden Infrastrukturkomponenten am IHP weiterentwickelt und für die Nutzung durch Industriepartner weiter ertüchtigt. Die Ausstattung der Antennenmesskammer mit Goniometer und X/Y-Tisch erlaubt es, detaillierte Charakterisierungen von Antennen vorzunehmen.

Das EU-Projekt 6G-COMPLETE, in dem das IHP u. a. an optoelektronischen Komponenten und Verfahren gearbeitet hat, wurde im Jahr 2024 erfolgreich abgeschlossen. Auch in diesem Projekt waren die Abteilungen Technology, Circuit Design und System Architectures involviert. Im Rahmen des EU-SNS-Programms wurde das neue Projekt mit dem Akronym MultiX bewilligt und zum 01.01.2025 gestartet. In MultiX entwickelt das IHP die Integrated Sensing and Communication- (ISAC) Technologie weiter.

Damit bestehen sehr gute Voraussetzungen für zukünftige Projekte mit ähnlich zusammengesetzten Konsortien im Rahmen der SNS-JU.

To the best of our knowledge, this was the first LOS-MIMO transmission realised in the D-Band (~140 GHz). The development of this demonstrator was performed in close cooperation of the three IHP departments: Technology, Circuit Design and System Architectures.

In the context of the project GreenICT infrastructure components of IHP are further developed and prepared for use by external industrial partners. The equipment of the anechoic chamber with Goniometer and X/Y positioner table enables detailed characterisations of antennas.

The Project 6G-COMPLETE, in which IHP investigated and developed optoelectronics components and techniques, was successfully finished in 2024. In this project, once again, the IHP departments Technology, Circuit Design and System Architectures worked closely together.

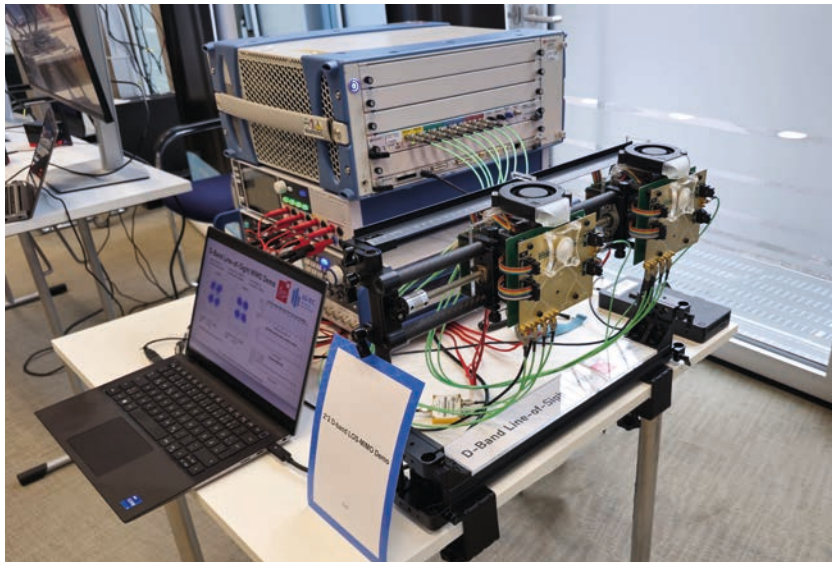
In the framework of the EU SNS programme, the new project with the acronym MultiX was granted. MultiX is focused on further developing and deploying ISAC technology and functions.

This is an important basis for future projects in the EU SNS-JU with similar consortia and technical focus.

At the Joint Lab of the HU Berlin, the work in the DFG project 5G-REMOTE was continued and resulted in an impressive number of publications in 2024. This project focuses on the optimisation of beamforming techniques for the reduction of power dissipation and interference mitigation.



Wissenschaftlerinnen und Wissenschaftler der Arbeitsgruppe Drahtlose Breitbandkommunikation
Scientists from the working group Wireless Broadband Communications



Welterste Demonstration einer D-Band-MIMO-Verbindung mit Sichtverbindung bei einer Trägerfrequenz von 135 GHz

World-first demonstration D-band Line-of-Sight MIMO link at carrier frequency of 135 GHz

Am Joint Lab mit der HU Berlin wurden 2024 die Arbeiten zur Optimierung von 6G-Netzen hinsichtlich Energieverbrauch und Zuverlässigkeit im Projekt 5G-REMOTE weitergeführt, darauf basierend sind bereits eine Reihe von Veröffentlichungen entstanden. Darüber hinaus wurde gemeinsam mit der iris GmbH das Projekt SynfutoP zur Erhöhung der Sicherheit und Zuverlässigkeit von 3D-Kameras weiterverfolgt und eine geplante Verlängerung dieses Projektes bis Anfang 2026 bewilligt.

Together with the iris GmbH the project SynfutoP on improving the reliability and security of 3D-Cameras was granted a planned extension until the beginning of 2026.

Design & Testmethodik

Die Arbeitsgruppe Design & Test Methodology arbeitet an Themen in den Bereichen neuer Entwurfsmethoden für zuverlässige Schaltungen sowie VLSI-Test auf dem Chip oder Wafer. Neue Anforderungen an Fehlertoleranz und Strahlungshärte führen zu innovativen Ansätzen auf der Ebene des IC-Designs, um integrierte Schaltungen in Weltraumanwendungen einsetzen zu können.

Zu den Schwerpunktaktivitäten der Gruppe gehört die Entwicklung neuartiger strahlungsharter (rad-hard) IPs und ASICs. Diese sind aus Forschungssicht interessant und wichtig, sollten aber auch zu neuen IP-Blöcken im IHP-IP-Portfolio führen. In diesem Zusammenhang waren 2024 mehrere Projekte aktiv. Im EU-Projekt COCHISA wurde der integrierte Beamforming-IC hergestellt und erfolgreich gemessen, einschließlich des digitalen Controllerentwurfs durch die Forschungsgruppe. Das EU-Projekt MORAL wurde mit großem Erfolg abgeschlossen. In diesem Projekt wurde ein komplexer strahlungsresistenter Mikrocontroller hergestellt und in diesem Jahr unter Stressbedingungen (Strahlung, HTOL-Tests) verifiziert. Die abschließende Schlussfolgerung des entsprechenden Testberichts lautet, dass dieser Chip für jede Weltraummission geeignet ist. Darüber hinaus gibt es zahlreiche laufende Aktivitäten zusammen mit der ESA und anderen wichtigen Akteuren der Branche für Weltraumanwendungen, einschließlich der Unterstützung bei der

Design & Test Methodology

The working group Design & Test Methodology works on topics in the areas of new design methods for reliable circuits, as well as VLSI test on the chip or wafer. New requirements for fault tolerance and radiation hardness lead to innovative approaches at the level of IC design in order to be able to use integrated circuits in space applications.

The focal activity of the group includes the development of novel radiation-hardened (rad-hard) IPs and ASICs. These are interesting and important from a research perspective but should also lead to new IP blocks in the IHP-IP portfolio. In this context, several projects were active in 2024. In the EU project COCHISA the integrated beamforming IC was fabricated and successfully measured, including the digital controller design by the research group. The EU project MORAL was finished with great success. In this project a complex radhard microcontroller was fabricated and verified this year under stress conditions (radiation, HTOL-tests). The final conclusion of the corresponding test report is that this chip is suitable for any space mission. Additionally, there are numerous ongoing activities together with ESA and other important industry stakeholders for space applications, including support of the evaluation of 130 nm BiCMOS technology for the use of ESA partners.

Evaluierung der 130-nm-BiCMOS-Technologie für den Einsatz von ESA-Partnern.

Die erfolgreiche Zusammenarbeit im Joint Lab mit der Universität Potsdam wurde fortgesetzt. Der Schwerpunkt lag weiterhin auf dem Projekt BB-KI-Chips (BMBF), das sich auf Lehraspekte für Hardware-Ansätze für KI konzentriert. Im Rahmen dieses Projekts wurden wichtige Beiträge der Studierenden zu realen Chip-Designs geleistet und mehrere neue Kurse eingeführt.

Ein wichtiger Teil der Aktivitäten der Gruppe bezieht sich auf verschiedene Dienstleistungen: von der Integration über das Testen bis hin zum Design-Service. Das wichtigste Ergebnis betrifft die Weiterentwicklung des Integrations- und Assemblyservice, der in Zukunft auch externe Kunden unterstützen wird.

The successful collaboration in the Joint Lab with the University of Potsdam was continued. The main focus was still on the project BB-KI-Chips (BMBF), focusing on teaching aspects for hardware approaches for AI. Within this project important contributions of the students to real chip designs were achieved and several new courses implemented.

An important part of the activities of the group is related to various services: from integration, over testing to design service. The most important result there is related to the further development of the integration and assembly service, which will also support the external customers in the future.



Führung in der Antennenmesskammer im Rahmen des Sensornetztages
Guided tour of the anechoic chamber as part of Sensor Network Day

Fault Tolerant Computing

Die zunehmende Bedeutung von Edge-Systemen treibt eine tiefgreifende Transformation in zahlreichen Anwendungsbereichen wie Industrie, Gesundheitswesen und autonomer Mobilität voran. Immer mehr Daten werden direkt an der Quelle generiert, sei es durch Sensoren, Kameras oder Maschinen, und müssen in Echtzeit verarbeitet werden, um Verzögerungen zu minimieren, Bandbreitenkosten zu senken und sensible Informationen lokal zu halten. Solche Edge-Systeme übernehmen kritische Aufgaben wie die Steuerung sicherheitsrelevanter Prozesse oder die schnelle Verarbeitung von KI-Algorithmen direkt vor Ort. Um den vielfältigen Anforderungen gerecht zu werden, kommen zunehmend hetero-

Fault Tolerant Computing

The growing importance of edge systems is driving a profound transformation across various sectors such as industry, healthcare, and autonomous mobility. More and more data is being generated directly at the source, whether through sensors, cameras, or machines, and must be processed in real-time to minimise delays, reduce bandwidth costs, and keep sensitive information local. These edge systems take on critical tasks such as controlling safety-critical processes or quickly processing AI algorithms on-site. To meet these diverse requirements, heterogeneous architectures are increasingly being deployed, consisting of specialised components – such as optimised processing cores, accelerators for AI and com-

gene Architekturen zum Einsatz, die aus spezialisierten Komponenten bestehen – etwa optimierte Rechenkerne, Beschleuniger für KI und Kommunikationsaufgaben sowie energieeffiziente Plattformen. Diese Vielfalt ermöglicht maßgeschneiderte Lösungen für anspruchsvolle Anwendungen, erfordert jedoch gleichzeitig innovative Ansätze zur Fehlerabsicherung.

Die Arbeitsgruppe Fault Tolerant Computing forscht an der Entwicklung von fehlertoleranten Technologien, die auf die spezifischen Anforderungen heterogener Edge-Systeme abgestimmt sind. Der Schwerpunkt liegt auf der Gestaltung von Ein- und Mehrkernplattformen sowie spezialisierten Beschleunigern, die nicht nur leistungsstark und energieeffizient sind, sondern auch höchsten Zuverlässigkeitsanforderungen genügen. Durch robuste Mechanismen zur Fehlererkennung und -korrektur wird die Grundlage für ausfallsichere Anwendungen selbst in kritischen Umgebungen geschaffen.

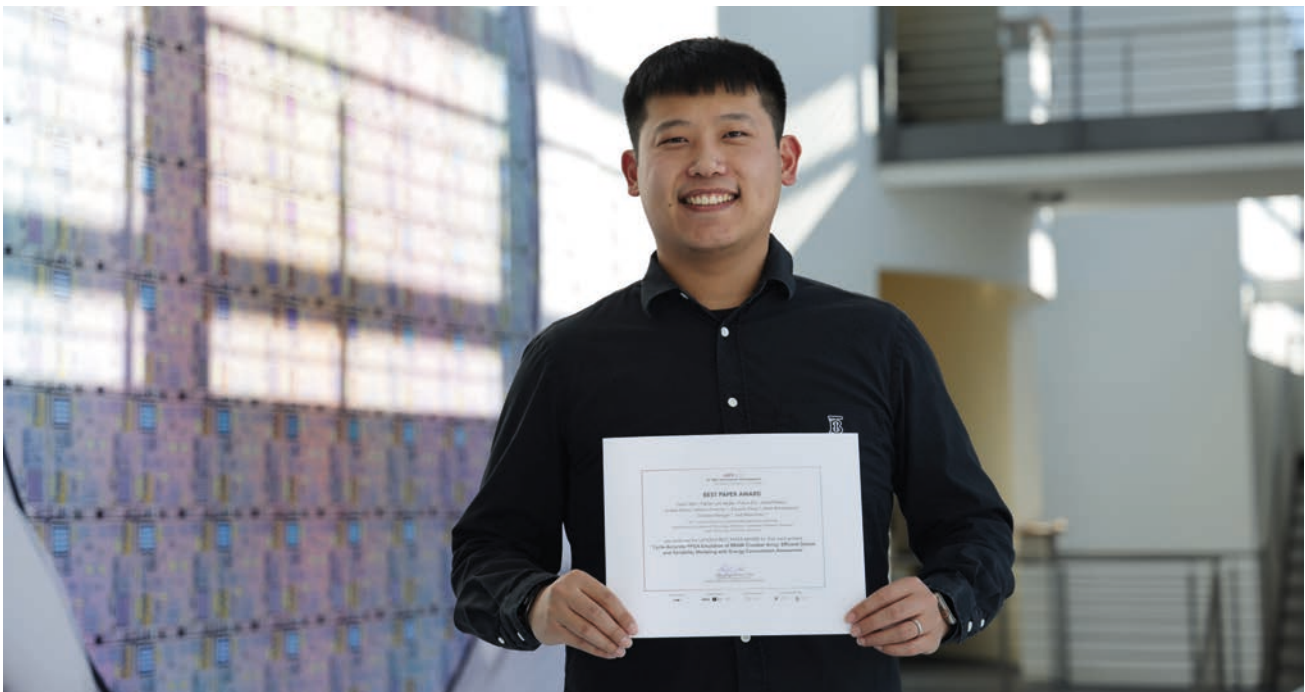
Ein zentraler Bestandteil der Arbeit ist dabei der Einsatz von Open-Source-Technologien, die eine transparente, flexible und nachhaltige Umsetzung unserer Konzepte ermöglichen. Damit werden nicht nur Innovationen gefördert, sondern auch eine breite Basis für die Weiterentwicklung und Integration dieser Technologien in reale Systeme geschaffen. Beispiele hierfür sind das 2024 abgeschlossene und von der EU geförderte Projekt MORAL sowie das 2024 in seine zweite Phase gestartete und vom BMBF geförderte Projekt Scale4Edge. In beiden kommen Prozessoren zum Einsatz, die auf Open-Source ISA's basieren (Peaktop für MORAL und RISC-V für Scale4Edge) und die speziell für den Einsatz unter kritischen

munication tasks, and energy-efficient platforms. This diversity allows for tailored solutions to demanding applications but also requires innovative approaches to fault tolerance.

The Fault Tolerant Computing group focuses on developing fault-tolerant technologies tailored to the specific requirements of heterogeneous edge systems. The focus is on designing single- and multi-core platforms, as well as specialised accelerators, which are not only powerful and energy-efficient but also meet the highest reliability standards. Through robust fault detection and correction mechanisms, the foundation for fail-safe applications, even in critical environments, is created.

A central part of the work involves the use of open-source technologies, which enable transparent, flexible, and sustainable implementation of the concepts. In doing so, the innovation is promoted, and a broad foundation for the further development and integration of these technologies into real-world systems is created. Examples include the EU-funded MORAL project, completed in 2024, and the Scale4Edge project, which entered its second phase in 2024 and is funded by the BMBF. Both projects use processors based on open-source ISAs (Peaktop for MORAL and RISC-V for Scale4Edge) that have been hardened for use in critical conditions to protect against potential errors. Accelerators for powerful and energy-efficient heterogeneous edge systems were developed, for example, in the BMBF-funded projects 6G-TAKEOFF and 6G-RIC, as well as the EU project COREnext.

Another important aspect of the work is the use of scalable manufacturing technologies. In the in-house pilot line, the 130 nm



Jianan Wen und Kollegen erhalten den Best-Paper-Award beim IEEE Latin-American Test Symposium
Best paper award at IEEE Latin-American Test Symposium for Jianan Wen and colleagues

Bedingungen gegen potentielle Fehler gehärtet wurden. Akzeleratoren für leistungsstarke und energieeffiziente, heterogene Edge-Systeme wurden beispielsweise in den vom BMBF geförderten Projekten 6G-TAKEOFF und 6G-RIC sowie dem EU-Projekt COREnext entwickelt.

Ein weiterer wichtiger Aspekt der Arbeit ist die Nutzung skalierter Fertigungstechnologien. In der hauseigenen Pilotlinie wird die 130-nm-Technologie genutzt, die vor allem für die exakte Anpassung und Validierung der Designs wichtig ist. Gleichzeitig wird verstärkt auf den externen 22-nm-Prozess gesetzt, um schnellere Designs mit höchster Leistungseffizienz zu realisieren. Um Erfahrungen mit dieser Technologie zu sammeln, wurde 2024 der erste 22-nm-Chip namens CRISPY in die Fertigung übergeben. Dieser, ebenfalls auf der RISC-V ISA-basierende SoC, wird künftig die Basis für weitere, in skalierter Technologie hergestellte high-end Edge- und Kommunikationssysteme bilden.

Durch die Verbindung von leistungsfähigen Plattformdesigns, spezialisierten Komponenten, skalierbaren Fertigungstechnologien und fortschrittlichen Fehlertoleranzmechanismen wird ein entscheidender Beitrag zur Entwicklung moderner Edge-Systeme geleistet, die auf die komplexen Anforderungen heutiger und zukünftiger Anwendungen zugeschnitten sind.

Hardware Security

Die Arbeitsgruppe Hardware Security konzentriert sich auf die Untersuchung und Entwicklung einer Designmethodik für kryptographische ASICs, die die Resistenz der Implementierungen gegen ein breites Spektrum physikalischer Angriffe erhöhen kann. Zu den physikalischen Angriffen zählen Seitenkanalangriffe (SCA), Manipulationsangriffe und Fehlerinjektionsangriffe.

Für moderne Technologien werden präzise lokalisierte Fehlerinjektionen mittels Laser in Zukunft weniger relevant sein. Der Schwerpunkt optischer Fehlerinjektionsangriffe wird stattdessen auf SCA-Angriffen in Kombination mit Laserbeleuchtung liegen. Unter Laserbeleuchtung verbrauchen die beleuchteten Blöcke mehr Energie. In der Hardware Security Gruppe wurden die ersten Experimente mit einem kleinen Chip durchgeführt. Dabei wurden ausgewählte Logikgatter des Chips mit einem Laserstrahl beleuchtet und der statische Strom gemessen. Die Experimente zeigen, dass der gemessene Strom von den Eingangswerten der beleuchteten Logikgatter abhängig ist. Damit wurde die potentielle Gefahr solcher Angriffe für Kryptochips bestätigt. Die Beleuchtung ausgewählter – kritischer – Blöcke begünstigt SCA-Angriffe. Dabei wird die Erhöhung des statischen Energieverbrauchs besonders relevant für moderne Technologien. Horizontale Angriffe, die auf der Analyse des statischen Energieverbrauchs während der Laserbeleuchtung kritischer Blöcke des Kryptochips basieren, werden als Static

technology, which is particularly important for precise customisation and validation of our designs, is used. At the same time, it is foreseen to use the external 22nm process to realise faster designs with the highest performance efficiency. To gain experience with this technology, the first 22nm chip, named CRISPY, was completed in 2024. This SoC, also based on the RISC-V ISA, will serve as the foundation for further high-end edge and communication systems manufactured in scaled technology.

By combining powerful platform designs, specialized components, scalable manufacturing technologies, and advanced fault tolerance mechanisms, a significant contribution to the development of modern edge systems that are tailored to the complex requirements of current and future applications, is made.

Hardware Security

The Hardware Security working group focuses on the investigation and development of a design methodology for cryptographic ASICs that can enhance the resistance of implementations against a broad spectrum of physical attacks. Physical attacks include side-channel attacks (SCA), tampering attacks, and fault injection attacks.

For scaled technologies, precisely localised fault injections using lasers will become less relevant in the future. Instead, the focus of optical fault injection attacks will shift to SCA attacks in combination with laser illumination. Under laser illumination, the illuminated blocks consume more energy. In the Hardware Security group, the first experiments were conducted using a small chip. Selected logic gates of the chip were illuminated with a laser beam, and the static current was measured. The experiments show that the measured static current depends on the input values of the illuminated logic gates. This confirmed the potential threat of such attacks to cryptographic chips. The illumination of selected – critical – blocks improves SCA attacks. The increase in static energy consumption is especially relevant for scaled technologies. Horizontal attacks based on the analysis of static energy consumption during laser illumination of critical blocks of cryptographic chips, denoted as Static Current under Laser Illumination (SCuLI) attacks,

Current under Laser Illumination- (SCuLI) Angriffe bezeichnet und sind neu. Das Potential und die Gefahr von SCuLI-Angriffen für elliptische Kurven-Kryptosysteme müssen in Zukunft untersucht werden.

Im Bereich horizontaler Angriffe wurden die kP-Algorithmen implementiert und untersucht, die in der Literatur als resistent gegen Simple Power Analysis bekannt sind. Die Algorithmen basieren auf dem Atomicity-Prinzip. Eine der grundlegenden Annahmen dieses Prinzips ist, dass Multiplikationen zweier unterschiedlicher Faktoren und Multiplikationen zweier identischer Faktoren aus SCA-Sicht äquivalent sind, sofern alle Multiplikationen im selben Block durchgeführt werden. Unsere Untersuchungen zeigen jedoch, dass Multiplikationen von Quadrierungen eindeutig unterscheidbar sind, und zwar unabhängig von der implementierten Multiplikationsmethode.

Im Bereich der Untersuchung von Methoden zur Erhöhung der Resistenz kryptographischer Schaltungen gegen ein breites Spektrum physikalischer Angriffe wurde die Anwendung von dynamisch rekonfigurierbarer Redundanz vorgeschlagen und als Patent angemeldet. Die Erfindung beschreibt ein Verfahren zur Realisierung flexibler Redundanz für kryptographische ASICs und kann eine Basis für die Realisierung des Schutzes gegen viele physikalische Angriffe bilden.

are new. The feasibility, potential and threat of the attacks for elliptic curve cryptosystems must be investigated in the future.

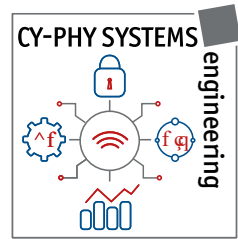
In the field of horizontal attacks, the atomic patterns kP algorithms, which are known in the literature to be resistant to Simple Power Analysis, were implemented and investigated. These algorithms are based on the atomicity principle. One of the fundamental assumptions of the atomicity principle is that multiplications of two different factors are indistinguishable from multiplications of two identical factors from an SCA point of view, if all multiplications are performed within the same block. However, our investigations show that multiplications can be clearly distinguished from squaring operations, independent of the implemented multiplication method.

In the field of investigating methods to increase the resistance of cryptographic circuits against a broad spectrum of physical attacks, the application of dynamically reconfigurable redundancy has been proposed and patented. The invention describes a method for implementing flexible redundancy for cryptographic ASICs and can be a basis for realising countermeasures against different physical attacks.



Vertrauenswürdige Systeme von Systemen

Trustworthy Systems of Systems



Die Abteilung Cyber-Physical System Engineering (CPE) adressiert in ihrer Forschung die Herausforderungen, die sich bei der Entwicklung vertrauenswürdiger Systeme von Systemen ergeben. Die Ausrichtung des Forschungsprogramms wurde nach der Evaluierung im Jahr 2022 refokussiert. Die Basis für die Forschung in der Abteilung CPE bilden die Ergebnisse und Erkenntnisse, die die Abteilung Wireless Systems, bzw. vor 2020 die Arbeitsgruppe Sensornetze und Middleware Plattformen, in den Bereichen Protokollentwicklung, IT-Sicherheit, Resilienz und KI-Methoden erarbeitet hat. Die Komplexität der Entwicklung vertrauenswürdiger Systeme von Systemen ergibt sich z. B. durch autonom agierende Geräte, zunehmende Bedrohungen im Bereich der Cyber-Sicherheit und steigender Anforderungen an den Schutz der Privatsphäre, beispielsweise im Bereich personalisierter Medizingeräte. Das strategische Ziel der Abteilung lässt sich in der folgenden Aussage zusammenfassen: „Ermöglichung einer vertrauenswürdigen, zuverlässigen und intelligenten cyber-physischen Welt“.

Um zur Erreichung dieses Ziels beizutragen, wurde die Forschung in 10 drittmittelfinanzierten Projekten durchgeführt. Dank des herausragenden Engagements der Mitarbeitenden mit sehr guten Ergebnissen, die im Folgenden dargestellt werden.

Im Rahmen des Programms werden zwei Joint Labs betrieben: eines mit der Brandenburgischen Technischen Universität Cottbus-Senftenberg und eines mit der Universität Zielona Gora, Polen.

Security & Resilience Engineering

Ziel der Security & Resilience Engineering (SRE)-Forschungsgruppe ist es, Methoden und Werkzeuge zu entwickeln, die es ermöglichen, vertrauenswürdige, zuverlässige und intelligente cyber-physische Systeme zu realisieren. Um dieses Ziel zu erreichen, werden Ansätze für eine geeignete Designmethodik sowie geeignete Bewertungskriterien und -methoden untersucht und umgesetzt. Konzepte für die Realisierung derartiger Systeme werden u. a. aus der Natur übertragen.

Diversität innerhalb eines komplexen Systems erhöht dessen Resilienz gegen unterschiedliche Bedrohungen. So sind z. B. Mischwälder deutlich resistenter gegen Schädlingsbefall und Waldbrände als Monokulturen. Auch für den Bereich der IT-Sicherheit können Ideen abgeleitet werden. So kommunizieren Pflanzen

In its research, the Cyber-Physical System Engineering (CPE) department addresses the challenges that arise in the development of trustworthy systems of systems.

The direction of the research programme was refocused following the evaluation in 2022. Research in the CPE department is based on the results and findings of the Wireless Systems department and, prior to 2020, the Sensor Networks and Middleware Platforms working group in the areas of protocol development, IT security, resilience and AI methods. The complexity of developing trustworthy systems of systems arises, for example, from autonomously acting devices, increasing threats in the area of cyber security and increasing requirements for the protection of privacy, for example, in the area of personalised medical devices. The strategic goal of the department can be summarised in the following statement: ‘Enabling a trustworthy, reliable and intelligent cyber-physical world’.

In order to help achieve this goal, research was carried out in 10 externally funded projects and, thanks to the outstanding commitment of the employees, very good results were achieved, which are presented below.

Two joint labs are operated as part of the programme: one with the Brandenburg University of Technology Cottbus-Senftenberg and one with the University of Zielona Gora, Poland.

Security & Resilience Engineering

The aim of the Security & Resilience Engineering (SRE) research group is to develop methods and tools that make it possible to realise trustworthy, reliable and intelligent cyber-physical systems.

In order to achieve this goal, approaches for a suitable design methodology as well as suitable evaluation criteria and methods are analysed and implemented. Concepts for the realisation of such systems are transferred from nature, among other things.

Diversity within a complex system increases its resilience to different threats. For example, mixed forests are significantly more resistant to pest infestation and forest fires than monocultures. Ideas can also be derived for the area of IT security. For example, plants communicate with each other in order to receive help against predators. These principles can be transferred to the distribution of IT security measures in complex cyber-physical systems.

untereinander, um Hilfe gegen Fressfeinde zu erhalten. Diese Prinzipien können auf die Verteilung von IT-Sicherheitsmaßnahmen in komplexen cyber-physischen Systemen übertragen werden.

Ein zentraler Aspekt hierbei ist die Entwicklung und Evaluierung von Metriken, die es ermöglichen, den Grad der erreichten Resilienz und IT-Sicherheit zum Designzeitpunkt möglichst zuverlässig zu bestimmen. Eine besondere Herausforderung ist es, Ansätze zu finden, die eine Selbstanpassung der Systeme im Fall von Angriffen oder nicht vorhergesehenen Teilsystemausfällen ermöglichen. Hierfür werden Ansätze aus der Künstlichen Intelligenz untersucht, mit denen die Systeme einerseits ihren aktuellen Zustand beobachten und einschätzen und sich andererseits an Veränderungen anpassen können. Derartige Ansätze werden auch für die Bewertung der unterschiedlichen Designs bzw. deren Weiterentwicklungen untersucht und genutzt. Für Untersuchungen an einem realen Prototyp wurde ein gelenkloser Roboterarm nachgebaut.

Die Tatsache, dass cyber-physische Systeme von Systemen im Wesentlichen aus ressourcenbeschränkten Teilsystemen bestehen, ist eine zusätzliche Herausforderung beim Design, da u. U. nicht alle Mechanismen und Maßnahmen, z. B. im Bereich IT-Sicherheit, auf allen Systemen umgesetzt werden können. Das bedeutet, dass Ansätze und Konzepte zur möglichst optimalen Verteilung von Mechanismen benötigt werden, um für ein verteiltes Gesamtsystem die geforderten Eigenschaften zu erreichen.

Um die Implementierung von cyber-physischen Systemen zu unterstützen und effizient zu gestalten, soll zusätzlich zu den Entwicklungswerkzeugen eine Komponentenbibliothek entstehen, in der geeignete Lösungsansätze bereitgehalten werden. Diese wer-

A key aspect here is the development and evaluation of metrics that enable the degree of resilience and IT security achieved to be determined as reliably as possible at the time of design.

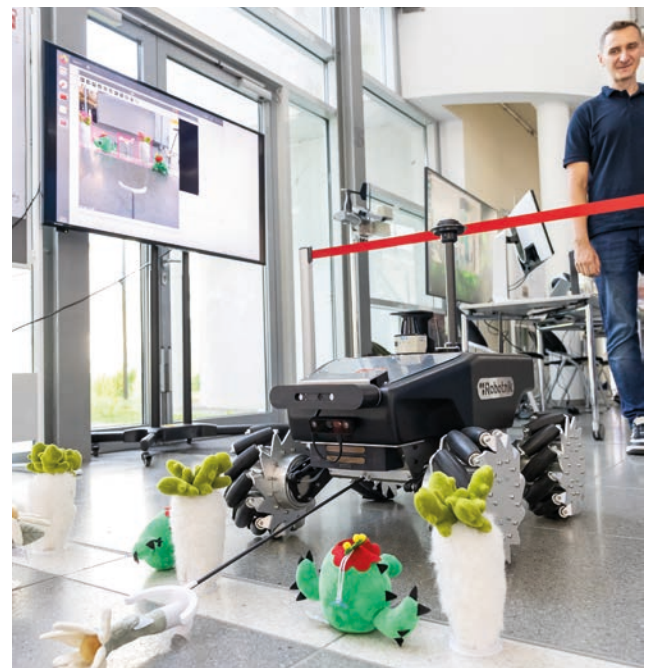
A particular challenge is to find approaches that enable systems to self-adapt in the event of attacks or unforeseen subsystem failures. To this end, artificial intelligence approaches are being investigated that enable systems to observe and assess their current state on the one hand and adapt to changes on the other. Such approaches are also being analysed and used to evaluate the various designs and their further development. An articulated robotic arm was reconstructed for tests on a real prototype.

The fact that cyber-physical systems of systems essentially consist of resource-limited subsystems is an additional design challenge, as not all mechanisms and measures, e.g. in the area of IT security, can be implemented on all systems. This means that approaches and concepts are needed to optimise the distribution of mechanisms in order to achieve the required properties for a distributed overall system.

In order to support and efficiently organise the implementation of cyber-physical systems, a component library is to be created in addition to the development tools, in which suitable solution approaches will be made available.

Some of these will be developed as part of the SRE research group, particularly for IT security measures, while others will be adopted and integrated from the Intelligent IoT Systems (IIoT) and Proactive Systems (PS) research groups or from other IHP departments.

Mixed-integer linear program approaches in combination with artificial evolution approaches are being investigated as an



Demonstratoren aus der Abteilung: Echtzeit-Gesichtserkennung mit dem Roboter-Auge (links) und KI-basierte Objekterkennung
Demonstrators from the department: real-time facial recognition with the robot eye (left) and AI-based object recognition

den teilweise, insbesondere für IT-Sicherheitsmaßnahmen im Rahmen der SRE-Forschungsgruppe, entwickelt, andere werden aus den Forschungsgruppen Intelligent IoT Systems (IIoT) und Proactive System (PS) oder aus anderen Abteilungen des IHP übernommen und integriert.

Als Ansatz zur optimalen Verteilung von Methoden, z. B. IT-Sicherheitslösungen, werden Mixed-Integer-Linear-Program-Ansätze in Kombination mit Ansätzen der Artificial Evolution untersucht. Zu diesem Ansatz wurden in 2024 zwei Konferenzbeiträge sowie ein Zeitschriftenbeitrag veröffentlicht.

Basierend auf den Experimenten mit dem gelenklosen Roboterarm wurde eine simulative Untersuchung von Algorithmen zur Wegewahl unter Berücksichtigung unterschiedlicher Metriken umgesetzt und erfolgreich veröffentlicht.

Im Bereich Security wurden zu Aspekten wie Seitenkanal-Angriffen, Kontrollflussintegrität und IT-Sicherheit in der Automatisierungstechnik 15 Beiträge veröffentlicht. Der Artikel „Sicherheit von speicherprogrammierbaren Steuerungen und verwandten Systemen: Heute und morgen“ aus dem Jahr 2023 wurde 2024 mit dem Outstanding Paper Award for the IEEE Open Journal of the Industrial Electronics Society ausgezeichnet.

Intelligent IoT Systems

Der Fokus der Intelligent IoT System (IIoT)-Forschungsgruppe liegt auf der Datenerhebung und ihrer Auswertung in cyber-physischen Systemen (CPS). Daten aus unterschiedlichsten Quellen werden intelligent verarbeitet, um Informationen über den Zustand des CPS zu gewinnen. Diese Informationen werden genutzt, um das Verhalten der CPS zu steuern und, wenn notwendig sinnvoll zu verbessern. Dieser Ansatz bildet eine klassische Kontrollschleife (Regelsystem), wie sie aus der Prozessüberwachung und -steuerung bekannt ist. Aufgrund der Komplexität und Diversität von CPS bestehen gegenüber klassischen Regelsystemen jedoch erheblich gestiegene Anforderungen, insbesondere hinsichtlich Effizienz und Interoperabilität der Subsysteme des CPS.

Die Implementierung dieser hochkomplexen vernetzten cyber-physischen Systeme erfordert neue und innovative Wege zur Definition ihrer Funktionsblöcke sowie Mechanismen und Methoden, um ihre Verteilung innerhalb eines hochgradig verteilten mehrschichtigen Systems, das sich von der Edge bis zur Cloud erstreckt, zu definieren und möglicherweise zu verändern. Diese Funktionsblöcke umfassen die Datenerfassung, den Datenaustausch und die Datenverarbeitung. Ihre interne Realisierung in Verbindung mit der Art und Weise wie sie verteilt sind, bestimmt die Gesamtleistung des Systems und die Offenheit für den Datenaustausch mit anderen Systemen. Die IIoT-Forschungsgruppe untersucht all diese Aspekte, die es ermöglichen, intelligente, vernetzte cyber-physische Systeme und cyber-physische Systeme von Systemen zu realisieren.

approach for the optimal distribution of methods, e.g. IT security solutions. Two conference papers and one journal article were published on this approach in 2024.

Based on the experiments with the articulated robotic arm, a simulative investigation of algorithms for path selection taking into account different metrics was implemented and successfully published.

In the area of security, 15 articles were published on aspects such as side-channel attacks, control flow integrity and security in automation technology.

The article ‘Security of Programmable Logic Controllers and Related Systems: Today and Tomorrow’ from 2023 was honoured with the Outstanding Paper Award for the IEEE Open Journal of the Industrial Electronics Society in 2024.

Intelligent IoT Systems

The Intelligent IoT Systems (IIoT) research group focuses on data collection and its analysis in cyber-physical systems (CPS). Data from a wide variety of sources is processed intelligently in order to obtain information about the status of the CPS. This information is used to control the behaviour of the CPS and, if necessary, to make sensible improvements. This approach forms a classic control loop (control system), as known from process monitoring and control. However, due to the complexity and diversity of CPS, there are considerably more stringent requirements compared to classic control systems, particularly with regard to the efficiency and interoperability of the CPS subsystems.

The implementation of these highly complex networked cyber-physical systems requires new and innovative ways to define their functional blocks as well as mechanisms and methods to define and potentially change their distribution within a highly distributed, multi-layered system that extends from the edge to the cloud. These functional blocks include data acquisition, data exchange and data processing. Their internal realisation in combination with the way they are distributed determines the overall performance of the system and the openness for data exchange with other systems. The IIoT research group investigates all these aspects that make it possible to realise intelligent, networked cyber-physical systems and cyber-physical systems of systems. The focus here is on the optimisation of applications and interoperability during development and runtime.

Der Schwerpunkt liegt dabei auf der Optimierung der Anwendungen und der Interoperabilität während der Entwicklungs- und Laufzeit.

Die Hauptaktivitäten im Jahr 2024 betrafen die weitere Erforschung und Entwicklung der Konzepte für den Datenaustausch und die Datenverarbeitung sowie die Anforderungen im Zusammenhang mit ihrer Umsetzung in realen Anwendungsfällen. Um den Bezug zu realen Szenarien und den damit verbundenen Stakeholdern aufrechtzuerhalten, war die Forschungsgruppe in mehreren Aktivitäten innerhalb der AIOTI (Alliance for AI, IoT and Edge Continuum Innovation), der IDSA (International Data Spaces Association) und der EU BRIDGE Data Management Working Group (DMWG) aktiv. Diese Aktivitäten helfen, die laufenden Arbeiten an tatsächlichen Entwicklungen und Standardisierungen in Bereichen wie IoT, Data Spaces, semantische Interoperabilität, Ontologien, Kommunikation sowie relevante Use Cases zu überwachen und zu beeinflussen.

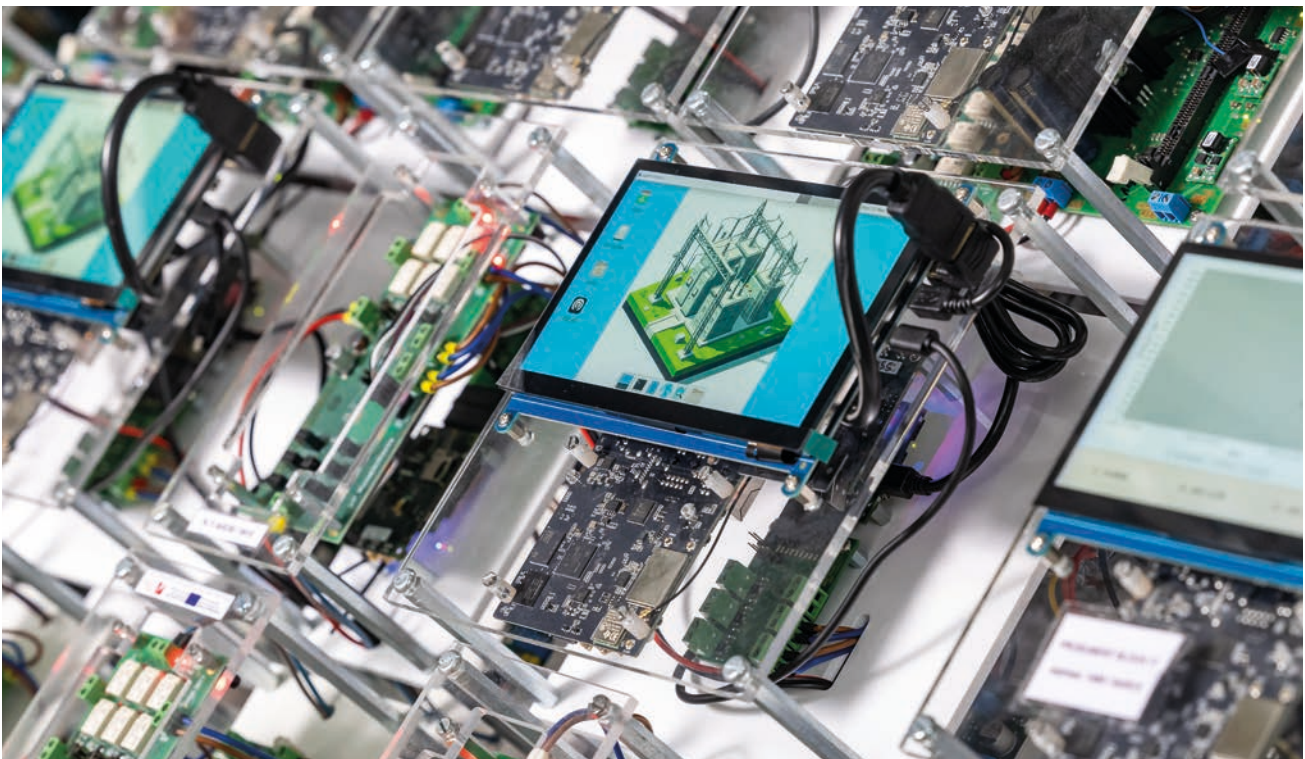
Alle genannten Bereiche werden beispielsweise durch die laufende Aktivität im Zusammenhang mit der Interoperabilität von Haushaltsgeräten angesprochen, die vom EU JRC und der DG ENER durchgeführt wird und aktiv von der IIoTS-Gruppe unterstützt wird. Ziel ist es, einen Verhaltenskodex für die Hersteller von Haushaltsgeräten zu definieren, um die Interoperabilität der Geräte für Anwendungsfälle wie Energieflexibilität und Energiemanagement zu unterstützen.

Die IHP-Middleware-Ansätze (smartDSM und tinyDSM) sind Vehikel für die Forschung und ermöglichen es, Erweiterungen um-

The main activities in 2024 concerned the further research and development of the concepts for data exchange and data processing as well as the requirements related to their practical implementation in real-life applications. In order to maintain the link to real-life scenarios and the associated stakeholders, the research group was active in several activities within the AIOTI (Alliance for AI, IoT and Edge Continuum Innovation), the IDSA (International Data Spaces Association) and the EU BRIDGE Data Management Working Group (DMWG). These activities help us to monitor and influence ongoing work on actual developments and standardisation in areas such as IoT, data spaces, semantic interoperability, ontologies, communication and relevant applications.

All of these areas are addressed, for example, by the ongoing activity related to the interoperability of household appliances, carried out by the EU JRC and DG ENER and actively supported by the IIoTS group. The aim is to define a code of conduct for manufacturers of household appliances to support the interoperability of appliances for applications such as energy flexibility and energy management.

The IHP middleware approaches (smartDSM and tinyDSM) are vehicles for research and make it possible to implement extensions and validate them in real scenarios. They enable the separation of data exchange and processing and support interoperability and modularity. The smartDSM middleware was originally developed as part of the EU FP7 project e-balance and adapted to other



Prosumer-Blöcke (Producer + Consumer) für smartDSM
Prosumer blocks (Producer + Consumer) for smartDSM

zusetzen und diese in realen Szenarien zu validieren. Sie ermöglichen die Trennung von Datenaustausch und -verarbeitung und unterstützen Interoperabilität und Modularität. Die Middleware smartDSM wurde ursprünglich im Rahmen des EU-FP-7-Projekts e-balance entwickelt und in weiteren Projekten (EU H2020 ebalance-plus, EU INTERREG SmartRiver) für weniger eingeschränkte Geräte, wie eingebettete PCs (Edge-Server und Gateways) aber auch auf leistungsstarken Geräten wie Cloud-Servern, angepasst. Im Gegensatz hierzu ist die tinyDSM-Middleware für den Einsatz auf eingeschränkten eingebetteten Geräten wie Sensorknoten vorgesehen und bietet daher eine geringere Funktionalität und Flexibilität. Zusammen ermöglichen diese beiden Middleware-Lösungen den Datenaustausch und die Datenverarbeitung innerhalb des gesamten Systems, von den Sensoren bis zur Cloud.

Diese praktischen Aspekte der Forschung zum Datenaustausch und zur Datenverarbeitung wurden im Jahr 2024 durch Aktivitäten aufgegriffen, die sich auf die Umsetzung von Forschungsprojekten und die Vorbereitung von Projekten, die Anfang 2025 anlaufen sollen, konzentrierten. Diese Projekte stellen thematische Cluster dar, die sich auf die Überwachung der biologischen Vielfalt, die Umweltüberwachung und Smart City sowie Smart Energy beziehen.

Biodiversitätsverlust, Ressourcenverknappung, Klimawandel sowie eine zunehmende Nachfrage nach Nahrungsmitteln führen weltweit zu Zielkonflikten in der Landbewirtschaftung. Die Harmonisierung dieser Zielkonflikte, durch eine optimal ausbalancierte Bereitstellung von Ökosystemleistungen (ÖSL), stellt für die Agrarsysteme der Zukunft eine wesentliche Herausforderung dar. Die optimale Bereitstellung von ÖSL steht im Fokus des Projektes DAKIS und soll durch ein neuartiges digitales Entscheidungsunterstützungssystem sowie eine kleinteilige und diversifizierte Landbewirtschaftung ermöglicht werden. Die Aufgabe der IIoT-Gruppe war dabei die Bereitstellung eines energieeffizienten und kostengünstigen Sensornetzwerks zur Erfassung von standortspezifischen Anforderungen in Echtzeit (siehe auch Abschnitt Forschungsprojekte).

Das Ziel des Ende 2024 gestarteten EU-INTERREG-Projekts MobiRobAI ist die Entwicklung und Bewertung von Konzepten für die modulare Entwicklung KI-basierter Anwendungen. Das Projekt wird zeigen, dass ähnliche Komponenten (Module), die jedoch unterschiedliche Merkmale (Leistung, Schutzniveau) aufweisen, auf generische Weise zur Entwicklung autonomer Anwendungen im Welt- und auf der Erde verwendet werden können.

Im Jahr 2024 wurden innerhalb der Gruppe fünf Master- und fünf Bachelorarbeiten zu den Forschungsthemen durchgeführt. Die Verteidigungen sind für 2025 geplant.

projects (EU H2020 ebalance-plus, EU INTERREG SmartRiver) for less restricted devices such as embedded PCs (edge servers and gateways) but also on powerful devices such as cloud servers. In contrast, the tinyDSM middleware is intended for use on limited embedded devices such as sensor nodes and therefore offers less functionality and flexibility. Together, these two middleware solutions enable data exchange and data processing within the entire system, from the sensors to the cloud.

These practical aspects of research on data exchange and data processing were taken up in 2024 through activities focused on the implementation of research projects and the preparation of projects to be launched in early 2025. These projects represent thematic clusters related to biodiversity monitoring, environmental monitoring and smart city and smart energy.

Biodiversity loss, resource scarcity, climate change and increasing demand for food are leading to conflicting objectives in land management worldwide. Harmonising these conflicting objectives through the optimally balanced provision of ecosystem services (ES) represents a major challenge for the agricultural systems of the future. The DAKIS project focuses on the optimal provision of ecosystem services and aims to enable this through a new type of digital decision support system as well as small-scale and diversified land management. The task of the IIoT group was to provide an energy-efficient and cost-effective sensor network for recording site-specific requirements in real time (see also the section on research projects).

The aim of the EU-INTERREG project MobiRobAI, launched at the end of 2024, is to develop and evaluate concepts for the modular development of AI-based applications. The project will show that similar components (modules), but with different characteristics (performance, level of protection), can be used in a generic way to develop autonomous applications in space and on Earth.

In 2024, five master's theses and five bachelor's theses on the research topics were carried out within the group. The defences are planned for 2025.

Proactive Systems

Die Forschungsgruppe Proactive Systems (PS) entwickelt Lösungen, die die Leistungsfähigkeit eines Systems während der Laufzeit überwachen und kontinuierlich optimieren. Ein zentrales Ziel ist es, eine garantierte „Quality of Service“ sicherzustellen. Im Mittelpunkt der Forschungsarbeit stehen proaktive Netzwerke, die eine dynamische Optimierung zur Laufzeit ermöglichen. Zudem beschäftigt sich die Gruppe mit proaktivem Computing und der dynamischen Verteilung von Rechenlasten, beispielsweise zwischen Edge- und Cloudsystemen. Ein weiterer Schwerpunkt liegt auf der proaktiven Speicherung von Daten, um deren Verfügbarkeit und Vertrauenswürdigkeit zu optimieren. Darüber hinaus werden Strategien zur kontinuierlichen Beobachtung und Verbesserung der Ressourcennutzung in den Bereichen Netzwerk, Prozessierung und Speicherung entwickelt.

Die Forschungsaktivitäten betrachten dabei das gesamte System, einschließlich der Verarbeitung und Speicherung von Daten und Informationen. Indem das System als Ganzes betrachtet wird, können potentielle Probleme umfassender identifiziert und effektiver behoben werden. Dies ermöglicht es, proaktive Maßnahmen zu entwickeln, die über die reine Netzwerkkommunikation hinausgehen.

Proactive Systems

The Proactive Systems (PS) research group develops solutions that monitor system performance during runtime and continuously optimise it. A key objective is to ensure a guaranteed "Quality of Service". The group's research focuses on proactive networks that enable dynamic optimisation during operation. Additionally, it explores proactive computing and the dynamic distribution of processing loads, for example, between edge and cloud systems. Another core area is proactive data storage to enhance availability and trustworthiness. Furthermore, the group works on strategies for continuous monitoring and optimisation of resources in networking, processing, and storage.

The research activities consider the entire system, including the processing and storage of data and information. By looking at the system as a whole, potential problems can be identified more comprehensively and rectified more effectively. This allows the development of proactive measures that go beyond pure network communication.

Research into artificial intelligence (AI) methods is being further expanded with a focus on the currently most important applications in the cloud continuum. The aim is to develop proactive



Best Paper Preisverleihung auf der ICCV 2024. Links: IHPs Wissenschaftlerin Elisabeth Vogel
Best Paper Award Ceremony at ICCV 2024. On the left: IHP scientist Elisabeth Vogel

Die Forschung zu Methoden der Künstlichen Intelligenz (KI) wird mit Fokus auf die aktuell wichtigsten Anwendungen im Bereich Cloud-Kontinuum weiter ausgebaut. Das Ziel ist es, proaktive Methoden zur Behebung von Kommunikationsproblemen, z. B. in industriellen Szenarien, zu entwickeln. Die KI soll dabei genutzt werden, um potentielle zukünftige Probleme durch die intelligente Bewertung von Zustandsparametern frühzeitig zu erkennen und zu lösen, bevor sie auftreten.

Als Grundlage für die KI-Untersuchungen wurden bereits große Datensätze zu verschiedenen Aspekten der 5G-Kommunikation gesammelt. Hierzu wurden Mobilfunknetzwerke, z. B. im Rahmen der Projekte EMiL (siehe auch Abschnitt Forschungsprojekte), Open6G Hub, 5G-Testbed-BB und iCampus 5G Connected Sensing, genutzt. In diesen Projekten lag der Schwerpunkt auf der sicheren und zuverlässigen Datenübertragung, insbesondere für industrielle Anwendungen. Die entstandenen 5G-Testbeds werden weiter genutzt, um ausgewählte Jamming-Angriffs-Szenarien eingehender zu untersuchen. Hierfür wurden unterschiedliche Testbeds und Jammer realisiert. Die Forschungsergebnisse wurden in drei Veröffentlichungen bei internationalen IEEE-Konferenzen dargestellt. Außerdem wurden sie sowohl bei der vom BSI organisierten Veranstaltung „5G/6G Forum - Cybersicherheit & digitale Souveränität – Sicherheit“ als auch beim BTU-Transfertag 2024 einer breiten Öffentlichkeit vorgestellt.

Das Projekt Waldwächter hat den 1. Platz in der Kategorie Gesellschaft des Sächsischen Digitalpreises 2024 erhalten und wurde Ende 2024 erfolgreich abgeschlossen. Die Untersuchungen zur Auswertung von Bewegungsdaten von Parkinson-Patienten am Körper der Patienten wurden veröffentlicht. Die Veröffentlichung wurde mit dem Best Paper Award der iCCC Konferenz 2024 ausgezeichnet.

methods for resolving communication problems, e.g. in industrial scenarios. AI will be used to recognise potential future problems at an early stage through the intelligent evaluation of status parameters and solve them before they occur.

Large data sets on various aspects of 5G communication have already been collected as the basis for the AI investigations. Mobile networks were used for this purpose, e.g. as part of the EMiL (see also the section on research projects), Open6G Hub, 5G Testbed-BB and iCampus 5G Connected Sensing projects. In these projects, the focus was on secure and reliable data transmission, particularly for industrial applications. The resulting 5G testbeds will continue to be used to investigate selected jamming attack scenarios in more detail. Different testbeds and jammers were realised for this purpose. The research results were presented in 3 publications at international IEEE conferences. In addition, they were presented to a broad public at the event '5G/6G Forum - Cybersecurity & Digital Sovereignty - Security' organised by the BSI and the BTU Transfer Day 2024.

The Waldwächter project was awarded 1st place in the Society category of the Saxon Digital Prize 2024 and was successfully completed at the end of 2024. The studies on the evaluation of movement data of Parkinson's patients on the patients' bodies were published, and the publication was honoured with the Best Paper Award of the iCCC Conference 2024.



SOT1277

IP: 192.168.236.21

AUSGEWÄHLTE PROJEKTE SELECTED PROJECTS

Das IHP ist ein zuverlässiger und renommierter Partner bei Forschungsprojekten in den Bereichen Mikroelektronik und Informationstechnologie. Die eng abgestimmte Zusammenarbeit der IHP-Abteilungen ermöglicht es dem IHP, wichtige Beiträge zu aktuellen und zukünftigen gesellschaftlichen Herausforderungen wie Gesundheit, Sicherheit, Mobilität, Nachhaltigkeit, 5G und darüber hinaus, Industrie und Landwirtschaft zu leisten.

188 Wissenschaftlerinnen und Wissenschaftler, die von technischen und administrativen Abteilungen unterstützt werden, arbeiteten 2024 an 104 Projekten mit einem Gesamtbudget des IHP von 34,9 Millionen Euro. In diesen Projekten arbeitete das IHP mit insgesamt 458 Partnern aus 39 Ländern zusammen. Die durchschnittliche Dauer eines Forschungsprojekts beträgt 36 Monate.

IHP is a reliable and reputable partner in scientific research projects in the fields of microelectronics and information technology. The closely coordinated collaboration of the departments results in vertically optimised solutions and enables IHP to make significant contributions to current and future societal challenges such as health, security, mobility, sustainability, 5G and beyond, industry and agriculture.

188 scientists supported by technical and administrative departments worked on 104 projects in 2024 with a total budget for IHP of 34.9 million €. In these projects, IHP collaborated with a total of 458 partners from 39 countries. The average duration of a research project is 36 months.

KI-IoT – Holistische Open-Source-Plattform für eingebettete Systems-on-Chip

KI-IoT – Holistic Open-Source Platform for Embedded Systems-on-Chip

KI-IoT ist ein vom Bundesministerium für Bildung und Forschung (BMBF) gefördertes Projekt, in dem das IHP mit akademischen Partnern wie der Universität zu Lübeck und Namlab sowie mit Industriepartnern wie X-FAB, NXP, Infineon, AI Digi+ Solutions und Melexis zusammenarbeitet.

Ziel des Projekts ist die Entwicklung und Bereitstellung eines Open-Source-Zugangs zu einer vollständigen modularen Plattform für den Entwurf von Systems-on-Chip (SoC) auf Basis der RISC-V-Architektur mit eingebetteten nichtflüchtigen Speichern (NVM) im Kontext von Anwendungen der Künstlichen Intelligenz (KI). Die Rolle des IHP in diesem Gesamtbild besteht darin, die NVM-Technologie in enger Zusammenarbeit mit Namlab und X-FAB zu entwickeln und zu optimieren, insbesondere die Resistive-RAM-Bauelemente (RRAM), die bereits im Back End of Line (BEOL) der 130-nm-Prozesslinie des IHP verfügbar sind.

Es ist bekannt, wie wichtig es für KI-Anwendungen ist, mehrere Leitfähigkeitszustände in jeder RRAM-Zelle zu haben, d. h. für die Implementierung von Beschleunigern für Vektor-Matrix-Multiplikationsoperationen (VMM). Mit der bestehenden filamentbasierten Schaltechnologie können diese Mehrfachzustände jedoch nur in einer sehr begrenzten Anzahl (bis zu acht in der IHP-Technologie) und unter Ver-

KI-IoT is a project funded by the German Federal Ministry of Education and Research (BMBF), in which IHP collaborates with academic partners such as the University of Lübeck and Namlab, as well as with industrial partners like X-FAB, NXP, Infineon, AI Digi+ Solutions, and Melexis.

The aim of the project is to develop and provide open-source access to a complete modular platform for designing Systems-on-Chip (SoC) based on the RISC-V architecture with embedded Non-Volatile Memories (NVM) in the context of Artificial Intelligence (AI) applications. The role of IHP in this general picture is to develop and optimise the NVM technology in tight collaboration with Namlab and X-FAB. In particular, the Resistive RAM (RRAM) devices already available in the Back End of Line (BEOL) of the 130 nm process line of IHP.

The importance of having multiple conductance states in each RRAM cell for AI applications is well known, that is, for the implementation of accelerators of Vector-Matrix Multiplication (VMM) operations. However, with the existing filamentary-based switching technology these multiple states can only be achieved in a very limited number (up to eight in IHP's technology) and by using

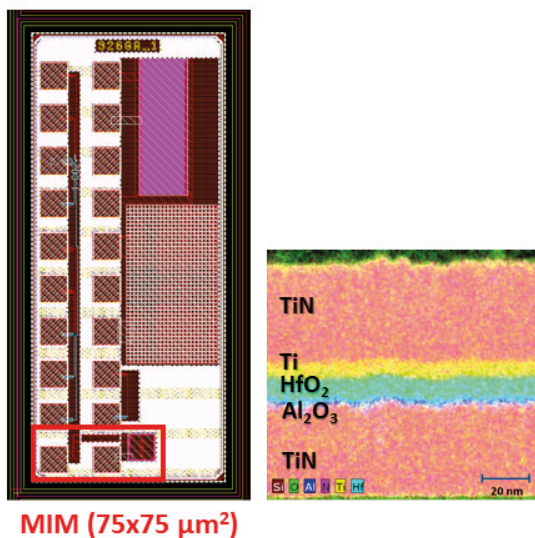


Abb. 1: PCM-Struktur mit 75x75-μm²-MIM-Gerät (links) und TEM-Bild mit EDX-Analyse des RRAM-Stacks (rechts).

Fig. 1: PCM structure with 75x75 μm² MIM device (left) and TEM image with EDX analysis of the RRAM stack (right).

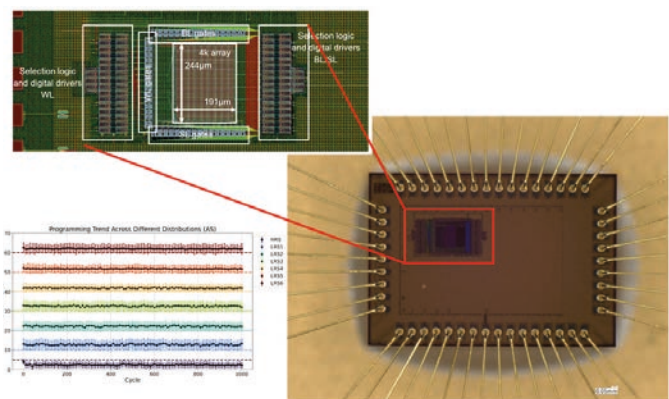


Abb. 2: Mikroskopaufnahme des 130-nm-4kbit-Arrays (rechts), Detail der verschiedenen Blöcke im Schaltkreis (oben links) und Ergebnisse der Endurance für 1.000 Zyklen in sieben Leitfähigkeitsstufen (unten links)

Fig. 2: Micrograph of the 130 nm 4kbit array (right), detail of the different blocks in the circuit (top left) and endurance results for 1,000 cycles in 7 conductance levels (bottom left).

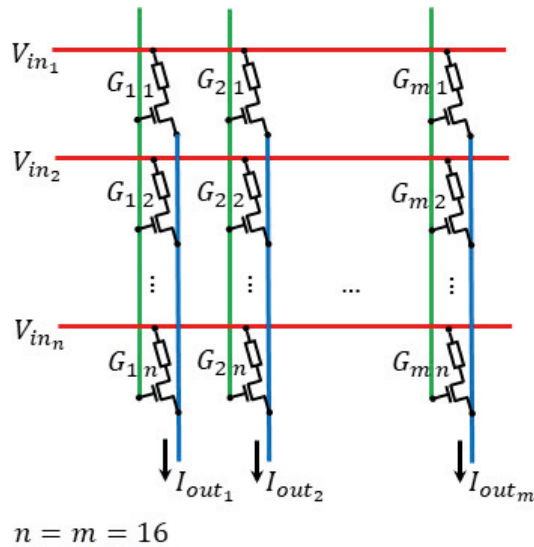


Abb. 3: Schema (links) und Layout (rechts) des 16x16-VMM-Beschleunigers mit zwei Implementierungen: LV (Niederspannungstransistoren) und HV (Hochspannungstransistoren).

wendung extrem zeit- und energieaufwendiger Programmialgorithmen erreicht werden. Namtab hat in den letzten Jahren einen RRAM-Stack auf der Basis des Bilayer-Oxids Nb2O5/Al2O3 entwickelt, der das sogenannte analoge Schalten ermöglicht und eine unbegrenzte Anzahl möglicher leitender Zustände bietet. Da Nb2O5 nicht CMOS-kompatibel ist, besteht die Herausforderung darin, dasselbe Schaltverhalten zu erreichen, indem dieses Material durch HfO2 ersetzt wird, das CMOS-kompatibel ist und am IHP vollständig durch Atomlagenabscheidung (ALD) verfügbar ist. Namtab hat sich intensiv darum bemüht, diesen Austausch zu erreichen und die endgültige Herstellungsrezeptur mit dem Wärmebudget der 130-nm-CMOS-Prozesslinie des IHP kompatibel zu machen. Die technologischen Details wurden an das IHP übertragen und in PCM-Strukturen (Process Control Monitoring) mit $75 \times 75 \mu\text{m}^2$ großen MIM-Bauelementen (Metal Insulator Metal) getestet (siehe Abb. 1). Obwohl das Schaltverhalten erfolgreich erzielt wurde, basiert es immer noch auf Filamenten, was bedeutet, dass weitere Forschung erforderlich ist, um das analoge Schalten innerhalb einer CMOS-Prozesslinie verfügbar zu machen.

Parallel zur Entwicklung analoger RRAM-Bauelemente wurde die am IHP vorhandene Filament-Technologie optimiert und zwei Schaltkreisarchitekturen für Test- und VMM-Beschleunigung entwickelt. Zwei Oxidrezepturen erwiesen sich als die zuverlässigsten, insbesondere im Hinblick auf niedrige Formierungsspannungen: 5 nm HfO2 und 4 nm Al-doped HfO2 (mit 5 Prozent Al-Gehalt). Die grundlegenden Schaltcharakteristika (Reset-Set, Endurance, Retention usw.) wurden in der 4-kbit-Architektur getestet, die in der 130-nm-Technologie entworfen und hergestellt wurde (siehe Abb. 2). Der nächste Schritt besteht darin, diese Optimierung in einem VMM-Beschleuniger zu nutzen, der in der 130-nm-Technologie des IHP entworfen und hergestellt wurde (siehe Abb. 3).

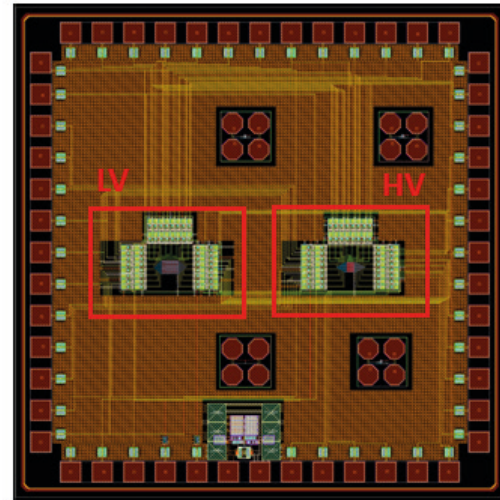


Fig. 3: Schematic (left) and layout (right) of the 16x16 VMM accelerator with two implementations: LV (low voltage transistors) and HV (high voltage transistors).

extremely time and energy consuming programming algorithms. In the last years Namtab has developed an RRAM stack based on the bilayer oxide Nb2O5/Al2O3 able to perform the so-called analog switching, which provides an unlimited number of possible conductive states. Since Nb2O5 is not CMOS compatible, the challenge is to achieve the same switching behavior by replacing this material with HfO2, which is CMOS compatible and fully available at IHP via Atomic Layer Deposition (ALD). Namtab dedicated intensive efforts to accomplish this replacement, as well as in making the final fabrication recipe compatible with the thermal budget of the 130 nm CMOS process line of IHP. The technological details were transferred to IHP and tested in Process Control Monitoring (PCM) structures with $75 \times 75 \mu\text{m}^2$ Metal Insulator Metal (MIM) devices (see Fig. 1). Although the switching behaviour was successfully obtained, it is still filamentary based, which implies that additional research is needed to make the analog switching available within a CMOS process line.

In parallel to the development of analog RRAM devices, the existing filamentary technology available at IHP was optimised and two circuit architectures were developed for testing and VMM acceleration. Two oxide recipes resulted in being the most reliable, in particular in terms of low forming voltages: 5 nm HfO2 and 4 nm Al-doped HfO2 (with 5 % Al content). The basic switching characteristics (reset-set, endurance, retention, etc.) were tested in the 4-kbit architecture designed and fabricated in the 130 nm technology (see Fig. 2). The next step is to take advantage of this optimisation in a VMM accelerator designed and fabricated in IHP's 130 nm technology (see Fig. 3).

On-Chip-Brechungsindexsensor

On-chip Refractive Index Sensor

Der Brechungsindex (RI) ist eine Materialeigenschaft, die angibt, wie stark das Licht gebrochen (refraktiert) wird, wenn es von einem Medium (z. B. Luft) in ein anderes (z. B. Wasser) übergeht. Genauer gesagt handelt es sich um das Verhältnis der Lichtgeschwindigkeit im Vakuum zur scheinbaren Geschwindigkeit im Inneren des Materials. Wir sehen jeden Tag Beispiele für den RI. Denken Sie an einen Löffel in einem durchsichtigen Glas. Der Löffel befindet sich in einem Luftvolumen (RI ~ 1). Wenn Sie Wasser in das Glas gießen, befindet sich der Löffel nun in einem Wasservolumen (RI ~ 1,33). Durch die Änderung des RI sieht der Löffel gebogen aus.

Der RI kann sich abrupt ändern, wie im obigen Beispiel, aber auch so geringfügig, dass der Mensch ihn nicht wahrnehmen kann. Zucker kann beispielsweise den RI von Wasser verändern, was in der Wein- oder Bierindustrie mit sogenannten Refraktometern gemessen wird, um die Zuckermenge zu bestimmen, die später zu Alkohol vergärt. Refraktometer messen den RI mithilfe einer speziellen optischen Anordnung mit Elementen wie Filtern, Linsen und Prismen, die viel Platz benötigen, um diese Elemente voneinander zu trennen. Im Rahmen des iCampus 2.0-Projekts, gefördert vom BMBF, will eine Gruppe von Forschern am IHP und der BTU Cottbus-Senftenberg Änderungen des RI bei Infrarotwellenlängen (IR) mithilfe von mm-großen Chips messen, die in der elektrophotonischen Pilot-Waferlinie des IHP hergestellt werden.

Ein Schlüsselement des On-Chip-Brechungsindexsensor, der geistiges Eigentum des IHP ist, ist der Ge-basierte Photodetektor (PD), für den das IHP weltbekannte Rekorde in Bezug auf Geschwindigkeit und Bandbreite mit hohen Werten der Empfindlichkeit (Lichtmenge, die in ein elektrisches Signal umgewandelt wird) hält. Das zweite Schlüsselement ist ein TiN-basiertes Nanoloch-Array (NHA), das auf dem PD hergestellt wird und mit dem IR-Licht interagiert. Diese Interaktion wird unter den richtigen Bedingungen in Form einer Resonanz sichtbar, d. h. als scharfe Änderungen des vom PD erfassten Signals. In Abb. 1 ist die Resonanz als starke Verringerung der Empfindlichkeit

The Refractive Index (RI) is a property of materials that tells us how much the light is bent (refracted) as it goes from one medium (e.g. air) to another (e.g. water). Specifically, it is the ratio of the speed of light in a vacuum against the apparent speed inside of the material. We see examples of the RI every day. Think about a spoon inside a transparent glass, the spoon is inside a volume of air (RI ~ 1). If you pour water into the glass, the spoon will now be inside a volume of water (RI ~ 1.33). The change of RI will make the spoon look bent.

The RI can change abruptly, as in the example above, but it also can change by such minuscule amounts that the human eye cannot perceive it. For example, sugar can change the RI of water, and this is measured with so-called refractometers in the wine or beer industry to assess the amount of sugars that later will ferment into alcohol. Refractometers measure the RI using a specific optical setup with elements such as filters, lenses and prisms, which require a fair amount of space to separate these elements. Within the framework of the iCampus 2.0 project, funded by BMBF, a group of researchers at IHP and BTU Cottbus-Senftenberg aim to measure changes in RI at infrared (IR) wavelengths using mm-sized chips fabricated at the IHP electro photonic pilot wafer line.

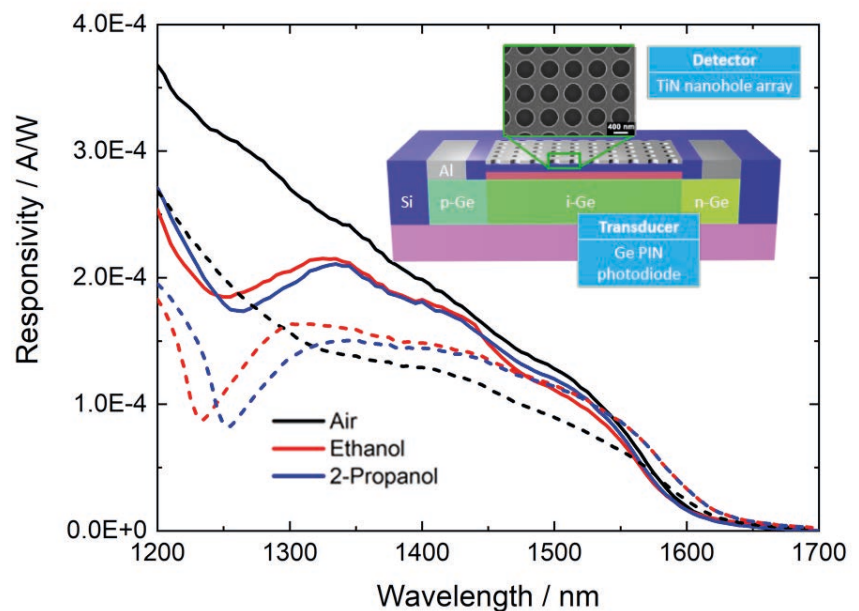


Abb. 1: Empfindlichkeit des On-Chip-RI-Sensors: Für Luft (schwarze Linie) ist keine Resonanz zu erkennen, während für Ethanol (rote Linie) und 2-Propanol (blaue Linie) eine Resonanz sichtbar ist, die sich voneinander unterscheidet. Die gestrichelten Linien zeigen die Ergebnisse von Simulationen des RI-Sensors. Inset: Skizze des Ge-basierten PD mit einer TiN-NHA-Schicht darüber.

Fig. 1: Responsivity of the On-chip RI sensor: No resonance can be seen for air (black line) while for ethanol (red line) and 2-propanol (blue line) the resonance is visible and different from each other. The dashed lines show the results of simulations of the RI sensor. Inset: Sketch of the Ge-based PD with a TiN NHA on top.

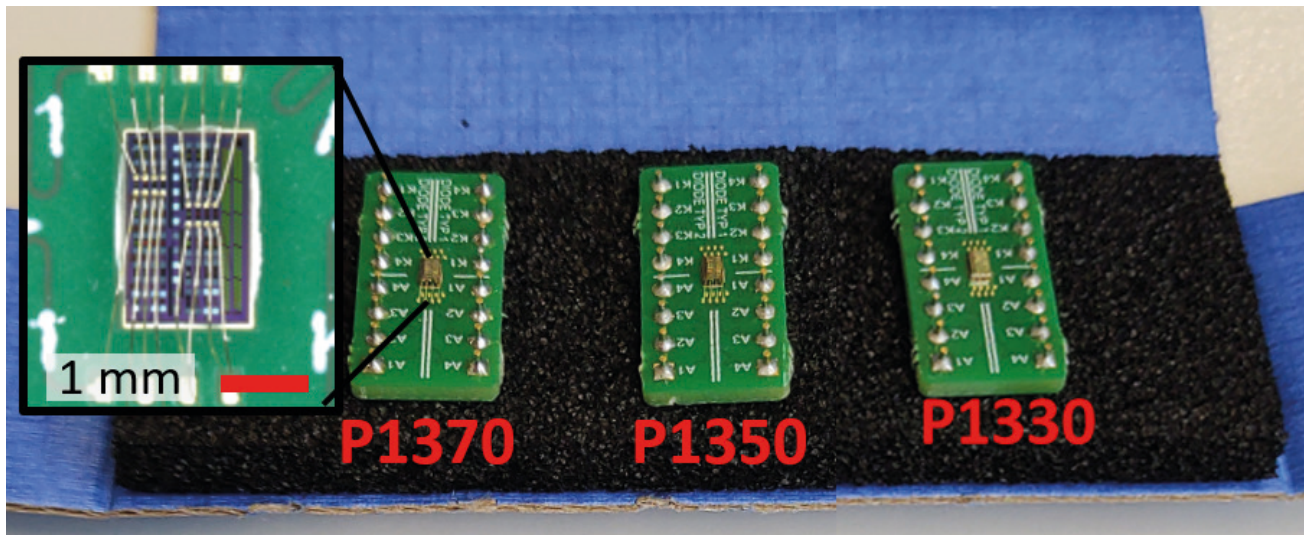


Abb. 2: Prototypen der verbundenen RI-Sensorchips. Die Kopplungsbedingungen der LSSPs werden in diesen Prototypen für verschiedene NHA-Geometrien untersucht.

Fig. 2: Prototypes of the bonded RI sensor chips. The coupling conditions of the LSSPs are being investigated in these prototypes for different NHA geometries.

zu sehen. Bei Luft ist keine Resonanz zu erkennen, aber wenn Ethanol ($RI \sim 1,35$) die NHA umgibt, liegt der niedrigste Wert der Resonanz bei einer Wellenlänge von ~ 1240 nm. Bei Verwendung von 2-Propanol ($RI \sim 1,37$) verschiebt sich die Resonanz auf ~ 1260 nm. Darüber hinaus kann die Resonanz durch Änderung der NHA-Geometrie, z. B. des Abstands zwischen den Nanolöchern, auf andere Wellenlängen eingestellt werden. Der Grund für diese Detektionen sind lokalisierte Oberflächenplasmonpolaritonen (LSPPs). LSSPs sind kohärente Elektronenschwingungen im TiN, die über die NHA an die IR-Wellenlängen gekoppelt sind. Die Kopplungsbedingungen von LSPPs hängen von der Grenzfläche zwischen dem TiN und dem darüber liegenden Material ab. Wenn sich der RI ändert, ändern sich also die Kopplungsbedingungen und die Resonanz verschiebt sich. Ziel der Forscher ist es, Prototypen von On-Chip-Brechungsindexsensor für relevante Anwendungen wie miniaturisierte Refraktometer oder Biosensortechnologie für Flüssigkeiten zu liefern. Zu diesem Zweck werden derzeit Prototypen mit unterschiedlichen NHA-Geometrien (Abb. 2) in den Laboren der BTU und des IHP untersucht.

One key element of the on-chip RI sensor, which is an IHP intellectual property, is the Ge-based photodetector (PD), for which IHP holds world renowned records in speed and bandwidth, with high values of responsivity (amount of light converted in an electrical signal). The second key element is a TiN-based Nanohole Array (NHA) fabricated on top of the PD which interacts with the IR light. This interaction is seen, under the right conditions, in the form of a resonance, i.e. sharp changes in the signal detected by the PD. In Fig. 1 the resonance is seen as a sharp reduction in the responsivity. With air no resonance is seen, but if ethanol ($RI \sim 1.35$) is surrounding the NHA, the lowest value of the resonance is centred at a wavelength of ~ 1240 nm. Using 2-propanol ($RI \sim 1.37$) the resonance shifts to ~ 1260 nm. Even more, the resonance can be engineered to be at other wavelengths by changing the NHA geometry, e.g. the distance between nanoholes. The reasons for these detections are Localized Surface Plasmon Polaritons (LSPPs). LSSPs are coherent electron oscillations in the TiN which are coupled to the IR wavelengths via the NHA. The coupling conditions of LSPPs are dependent on the interface between the TiN and the material above it, and thus, if the RI changes. the coupling conditions change and the resonance shifts. The aim of the researchers is to deliver on-chip RI sensor prototypes for relevant applications such as miniaturised refractometers or biosensor technology for liquids. Prototypes with different NHA geometries are currently being investigated (Fig. 2) at BTU and IHP laboratories for this purpose.

ESSENCE-6GM

Das Projekt ESSENCE-6GM zielt darauf ab, Schlüsselkomponenten und -technologien für energieeffiziente Transceiver für zukünftige 6G-Mobilfunk-Kommunikationssysteme zu erforschen. Im Rahmen des ESSENCE-6GM-Projekts werden komplette Send- und Empfangsmodule für den Millimeter- und Sub-THz-Frequenzbereich entwickelt, welche die gesamte Wertschöpfungskette von der Halbleitertechnologie, integrierten Hochfrequenzschaltungen, drahtlosen Kommunikationsmodulen bis hin zu kompletten Systemen abdecken. Unter anderem werden neue Konzepte der Signalwandlung, integrierte Schaltkreise, bestehend aus CMOS/BiCMOS/GaN-Technologien, sowie neuartige Ansätze zur Modulintegration untersucht, um die Anforderungen an zukünftige Hochleistungskommunikationssysteme, wie zum Beispiel Energieeffizienz, Nachhaltigkeit und Skalierbarkeit, für die Industrie zu erfüllen. Am Ende des Projekts werden drei verschiedene Demonstratoren angestrebt, die im D-Band (110 - 170 GHz) und im J-Band (220 - 325 GHz) arbeiten und drahtlose Kommunikation mit Terabit-Datenraten über mehrere 10 Meter ermöglichen sollen.

Das IHP ist für die Entwicklung einer Transceiver-Technologie verantwortlich, die bei über 200 GHz arbeiten soll. Das IHP mit seiner herausragenden Kompetenz im Bereich der Hochfrequenz-Halbleitertechnologien konzentriert sich auf die Entwicklung einer sub-THz-Packaging-Plattform auf Waferebene zusammen mit seiner hochleistungsfähigen SiGe-BiCMOS-Technologie. Die fortschrittliche Packaging Plattform wird einerseits ein Wafer-Level Packaging der SiGe-BiCMOS-Chipsätze ermöglichen und gleichzeitig eine Antennen-in-Package-Plattform ermöglichen. Dafür werden neuartige Technologiemodule, wie BiCMOS-integrierte Chip-zu-Wafer Bonding-Technologien, und die Integration von dielektrischen Resonatorantennen für sub-THz-Frequenzen realisiert. Kürzlich wurden die ersten Technologie-Demonstrationsmuster in den SiGe-

The project ESSENCE-6GM aims to develop key components and technologies for energy-efficient transceivers for 6G mobile communication systems. Within the ESSENCE-6GM project, complete transmit and receive modules for the millimetre and sub-THz frequency range are developed, addressing the complete value chain from semiconductor technologies, high frequency integrated circuits, wireless communication modules and systems. Amongst others, new concepts of signal conversion, integrated circuits from CMOS/BiCMOS/GaN technologies, as well as novel module integration approaches, are evaluated to fulfil the requirements for future high performance communication systems, such as highly energy-efficiency, sustainable, and scalability for the industry. At the end of the project three different demonstrators are aimed for which will operate at D-band (110-170 GHz) and J-band (220-325 GHz) enabling wireless communication with terabit data-rates over several 10s of metres.

IHP is responsible for the development of a transceiver technology operating above 200 GHz. IHP, with its unprecedented competence in high frequency semiconductor technologies, is focusing on the development of a sub-THz wafer-level packaging platform together with their high performance SiGe BiCMOS technology. The advanced packaging platform will provide on one side a wafer-level packaging of the SiGe BiCMOS chipsets, but will also offer an antenna-in-package platform at the same time. Therefore novel technology modules like BiCMOS embedded chip-to-wafer bonding technologies and the integration of dielectric resonator antennas for sub-THz frequencies will be realised. Recently, the first technology demonstrator samples have been fabricated within IHP's SiGe BiCMOS and wafer bonding pilot lines and successfully characterised together with the project partners. At the end of the project

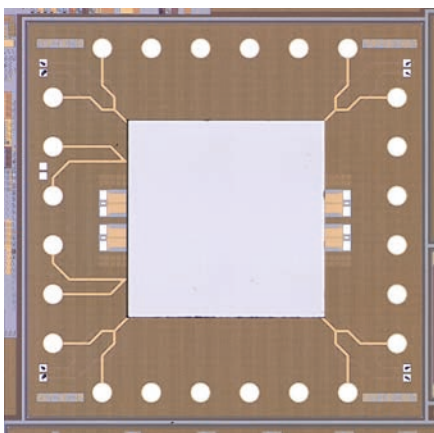


Abb. 1: Zwei Verpackungskonfigurationen wurden in der ersten Runde der Testmontage charakterisiert.

Fig. 1: Two packaging configurations characterised in the first round of test assembly run.

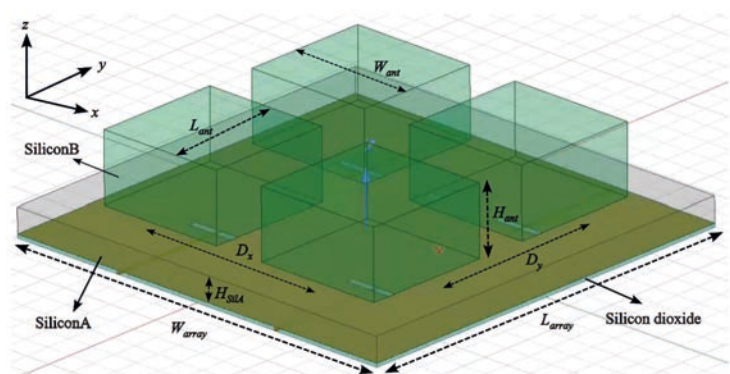


Abb. 2: Zwei Verpackungskonfigurationen wurden in der ersten Runde der Testmontage charakterisiert.

Fig. 2: Two packaging configurations characterised in the first round of test assembly run.

BiCMOS- und Wafer-Bonding-Pilotlinien des IHP hergestellt und gemeinsam mit den Projektpartnern erfolgreich charakterisiert. Am Ende des Projekts werden neue Integrationskonzepte für hochleistungsfähige und miniaturisierte Transceiver mit skalierbaren Antennenarrays realisierbar sein.

Das ESSENCE-6GM-Projektkonsortium besteht aus insgesamt 12 verschiedenen Projektpartnern mit namhaften Vertretern aus der Großindustrie, KMUs, RTOs und Universitäten und wird von NOKIA Bell Labs koordiniert. Das Projekt ESSENCE-6GM wird vom Bundesministerium für Bildung und Forschung (BMBF) im Rahmen der Bekanntmachung „6G-Industrieprojekte zur Erforschung von ganzheitlichen Systemen und Teiltechnologien für den Mobilfunk der 6. Generation“ gefördert.

new integration concepts for high performance and miniaturised transceivers with scalable antenna arrays will become feasible.

The ESSENCE-6GM project consortium consists of in total 12 projects partners, both from large-scale industry, SMEs, RTOs and universities, and it is coordinated by NOKIA Bell Labs. The project ESSENCE-6GM is funded by the Federal Ministry of Education and Research (BMBF) under the framework "6G-Industrieprojekte zur Erforschung von ganzheitlichen Systemen und Teiltechnologien für den Mobilfunk der 6. Generation".

IHP Open Source Initiative

Das IHP in Frankfurt (Oder) hat als erster europäischer Chipfertiger ein quelloffenes Process Design Kit (PDK) zur Herstellung von ASICs vorgestellt. Dieses PDK, bekannt als IHP-Open130-G2, wurde im Rahmen der Projekte IHP Open130-G2 (16ME0852) und FMD-QNC (16ME0831) entwickelt und ist auf GitHub unter IHP-GmbH/IHP-Open-PDK verfügbar.

Im Vergleich zu anderen derzeit verfügbaren offenen PDKs der Halbleiterhersteller wie Skywater (Sky130) und GlobalFoundries (GF180) bietet der IHP-Prozess eine fortschrittliche BiCMOS-Technologie, die mit den weltweit schnellsten SiGe-HBT-Bauelementen (HBT = Heteroübergangs-Bipolartransistor) ausgestattet ist. Dies ermöglicht es, dass das IHP-Open130-G2 PDK nicht nur für digitale und Mixed-Signal-Designs, sondern zukünftig auch für Hochfrequenzdesigns geeignet ist, die Anwendungen bis über 100 GHz unterstützen. Für diese Hochfrequenzdesigns müssen jedoch die vorhandenen Open-Source-EDA-Tools weiterentwickelt werden.

Derzeit ermöglicht das PDK, digitale Designs mit Open-Source-EDA-Tools für die Entwicklung von anwendungsspezifischen Chips (ASICs) zu entwerfen. Analogdesigns wurden bereits im Rahmen von kostenlosen MPW-Angeboten des IHP eingereicht, allerdings bedarf es im Bereich des Analogdesigns weiterer Verbesserungen bei den EDA-Tools und dem PDK selbst.

Im Bereich des RF-Designs sind die Möglichkeiten der Open-Source-EDA-Tools noch nicht zufriedenstellend. Daher werden vorhandene EDA-Tools untersucht, die für Hochfrequenz-ASIC-Designs benötigt werden und die Grundlage für einen zukünftigen Hochfrequenz-Design-Flow bilden. Die Optimierung und Weiterentwicklung dieser Tools sowie die Weiterentwicklung des IHP-PDKs im Bereich RF-Design sind wesentliche Aufgaben der nächsten Jahre.

Im Rahmen des FMD-QNC-Projekts werden, basierend auf dem vorhandenen IHP-Open130-G2 PDK, Designkurse für Seiteneinsteiger entwickelt, die 2025 das erste Mal durchgeführt werden. Hier bietet der Open-Source-Ansatz einen kostengünstigen, barriere-

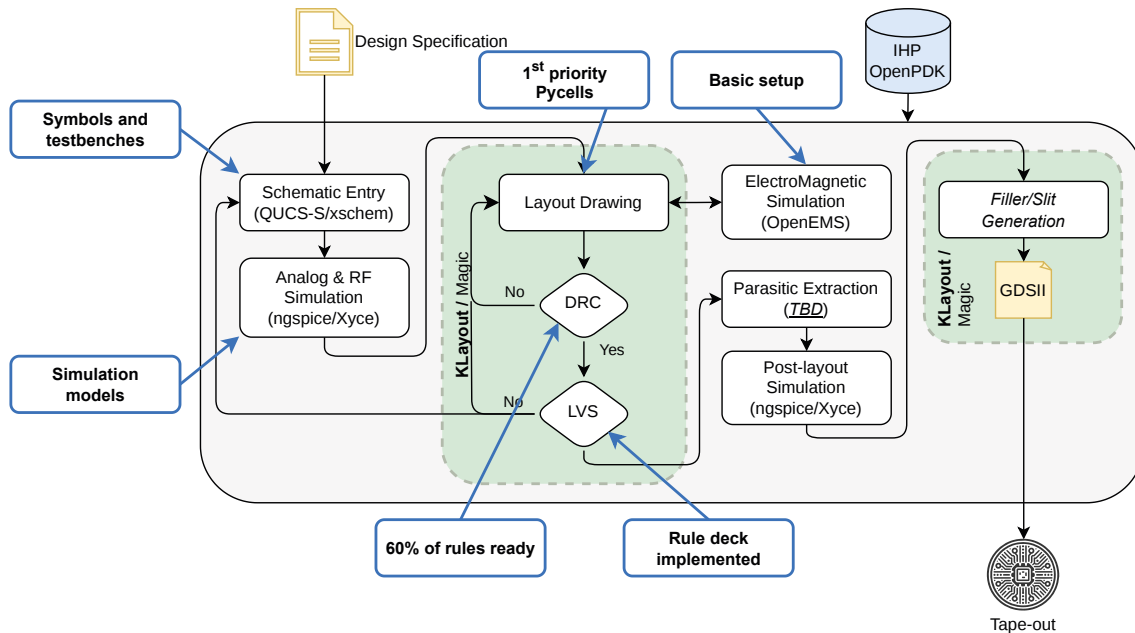
The IHP in Frankfurt (Oder) has become the first European chipmaker to present a source-open Process Design Kit (PDK) for the production of ASICs. This PDK, known as IHP-Open130-G2, was developed as part of the IHP Open130-G2 (16ME0852) and FMD-QNC (16ME0831) projects and is available on GitHub at IHP-GmbH/IHP-Open-PDK.

Compared to other currently available open PDKs from semiconductor manufacturers such as Skywater (Sky130) and GlobalFoundries (GF180), the IHP process offers an advanced BiCMOS technology equipped with the world's fastest SiGe HBT devices (HBT = heterojunction bipolar transistor). This enables the IHP-Open130-G2 PDK to be suitable not only for digital and mixed-signal designs but also for future high-frequency designs that support applications up to and beyond 100 GHz. However, for these high-frequency designs, the existing open-source EDA tools need to be further developed.

Currently, the PDK enables digital designs to be created using open-source EDA tools for the development of application-specific chips (ASICs). Analog designs have already been submitted as part of IHP's free MPW offerings, but further improvements to the EDA tools and the PDK itself are needed in the area of analog design.

In the area of RF design, the possibilities of open-source EDA tools are not yet satisfactory. Therefore, existing EDA tools that are required for high-frequency ASIC designs and that form the basis for a future high-frequency design flow are being investigated. The optimisation and further development of these tools, as well as the further development of the IHP PDK in the area of RF design, are essential tasks for the coming years.

As part of the FMD-QNC project, design courses for career changers will be developed based on the existing IHP-Open130-G2 PDK, which will be held for the first time in 2025. The open-source approach offers low-cost, barrier-free access to chip design and can thus help to alleviate the existing shortage of skilled workers in this area.



Unterstützte analoge Open-source EDA Tools und Status im IHP-Open 130-G2 PDK
Supported open-source analog EDA tools and status in the IHP-Open 130-G2 PDK

freien Zugang zum Chipdesign und kann so helfen, den bestehenden Fachkräftemangel in diesem Bereich zu mildern.

Getrieben durch das Projekt VE-HEP, als eine Art Gap-Analyse im Bereich vollständig offener Hardware, haben sich die hierdurch am IHP etablierten Open-Source-Aktivitäten zunehmend zu nationalen und europäischen Kollaborationen mit hoher Sichtbarkeit entwickelt. Mittlerweile existiert eine wachsende Bibliothek offener und frei zugänglicher Schaltungsblöcke, die sowohl aus Einzelprojekten als auch aus vom BMBF geförderten Chipflächen hervorgegangen sind. Diese Open-Source-IP-Bibliothek (<https://github.com/IHP-GmbH/IHP-Open-DesignLib>) hat weltweite Beiträge erhalten – von Europa über Chile bis hin zu Hawaii.

Obwohl diese Entwicklungen belegen, dass vollständig offene Designs bereits heute sowohl im analogen als auch im digitalen Bereich realisierbar sind, stellen viele der vorhandenen Entwürfe eher Prototypen oder stark vereinfachte Implementierungen dar. Um das Potential von Open-Source-Ansätzen im Chipdesign weiter auszubauen, konzentriert sich das IHP nun darauf, industrielle Qualität und Reproduzierbarkeit in Open-Source-Entwürfen zu demonstrieren.

Die Projekte DI-FLOWSPACE und DI-SIGN-HEP spielen hierbei eine zentrale Rolle. Sie zielen darauf ab, Open-Source-EDA-Methoden weiterzuentwickeln, die Kompatibilität mit industriellen Fertigungsanforderungen sicherzustellen und den Weg für Open-Source-Chipdesigns mit hoher technologischer Reife zu ebnen. Durch diese Maßnahmen wird Open Source nicht nur als Werkzeug für Forschung und Lehre, sondern auch als ernsthafte Option für professionelle Chipentwicklungsprozesse etabliert.

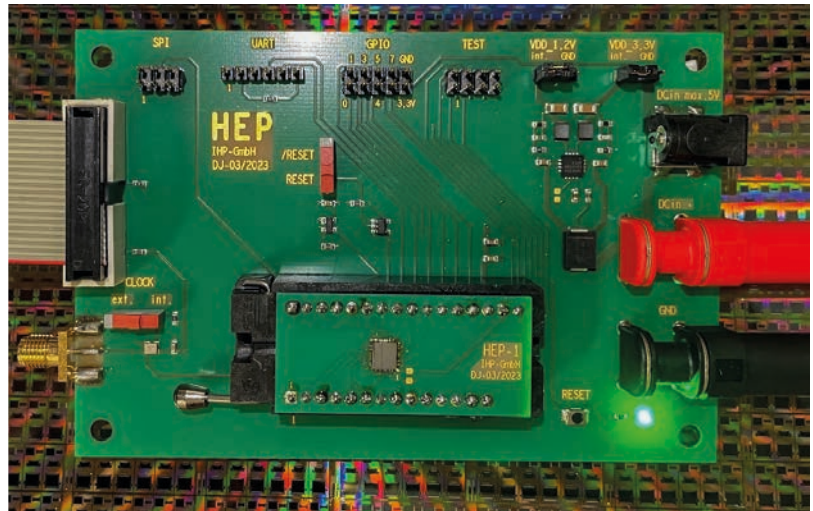
Driven by the VE-HEP project, which served as a kind of gap analysis in the area of fully open hardware, the open-source activities established at IHP as a result have increasingly developed into highly visible national and European collaborations. Meanwhile, a growing library of open and freely accessible circuit blocks exists, which has emerged from both individual projects and BMBF-funded chip areas. This open-source IP library (<https://github.com/IHP-GmbH/IHP-Open-DesignLib>) has received contributions from all over the world – from Europe to Chile to Hawaii.

Although these developments prove that fully open designs are already feasible today in both the analog and digital domains, many of the existing designs are more like prototypes or highly simplified implementations. To further expand the potential of open-source approaches in chip design, the IHP is now focusing on demonstrating industrial quality and reproducibility in open-source designs.

The DI-FLOWSPACE and DI-SIGN-HEP projects play a central role in this. They aim to further develop open-source EDA methods, ensure compatibility with industrial manufacturing requirements and pave the way for open-source chip designs with a high level of technological maturity. These measures will establish open source not only as a tool for research and teaching but also as a serious option for professional chip development processes.

Foto des ersten am IHP offen Designnden Chips. 2023 (noch nicht mit dem Open Source PDK) - Ein Hardware Sicherheitsmodul.

Picture of the first open-design chip at IHP. 2023 (not yet with the open-source PDK) – a hardware security module.



6G Forschungs- und Innovationscluster (6G-RIC)

6G Research and Innovation Cluster (6G-RIC)

Der 6G-Forschungs- und Innovationscluster (6G-RIC) treibt Fortschritte in der Sub-THz-Drahtloskommunikation voran mit dem Ziel, skalierbare Beamforming-Lösungen und energieeffiziente Transceiver für zukünftige 6G-Netzwerke zu liefern. IHP nimmt eine führende Rolle bei der Entwicklung von Hardware-Designs, Systemintegration und experimenteller Validierung ein und schafft damit die Basis für Hochgeschwindigkeits-Datenverbindungen.

Ein Hauptfokus liegt auf der Entwicklung einer End-to-End-Transceiver-Architektur, die parallele MAC-RF-Verarbeitung und energieeffiziente Datenkonvertierung integriert. Innovative DAC/ADC-Designs unterstützen Multi-Gigabit-Durchsatz mit Energieeffizienz. Durch die Nutzung der 60-GHz-RF-Bandbreite im D-Band (110 GHz – 170 GHz) – was 30 GHz im Basisband entspricht – können die Systeme Ultra-Breitband-Signale verarbeiten. Die End-to-End-Sender-Architektur (gespiegelt auf der Empfängerseite) integriert MAC, digitales Basisband, Low-Speed-DACs, analoges Channel-Bonding, RF-Front-End und Antennensysteme (wie in Abb. 1). Um die hohe Bandbreite zu bewältigen, wird eine parallele Verarbeitung vom MAC bis zum analogen Channel-Bonder eingesetzt. Antennendesigns folgen zwei parallelen Pfaden: On-Chip-Antennen und Off-Chip-Antennen in Zusammenarbeit mit externen Partnern, die 2D-Skalierbarkeit ermöglichen und integrierte Kommunikation und Sensorik (ICAS) unterstützen.

Zu den wichtigsten Errungenschaften gehört die erfolgreiche Demonstration eines D-Band-Transceivers mit Beamforming bei 1,2 Metern und einer Datenrate von 2 Gbit/s. Eine erweiterte Reichweitenübertragung wurde mit einer Datenrate von 10 Gbit/s über eine Distanz von 10 Metern erreicht, bei einem SNR von 11,5 dB und einem EVM von 26,5 %. Das FPGA-basierte Basisband unterstützte QPSK bei 3,33 Gbit/s sowie QAM-16 bei 6,67 Gbit/s. Zudem

The 6G Research and Innovation Cluster (6G-RIC) drives advancements in sub-THz wireless communication forward, aiming to deliver scalable beamforming solutions and energy-efficient transceivers for future 6G networks. IHP leads key efforts in hardware design, system integration, and experimental validation, laying the groundwork for high-data rate links.

A key focus lies on developing an end-to-end transceiver architecture incorporating parallel MAC-RF processing and energy-efficient data conversion. Innovative DAC/ADC designs support multi-gigabit throughput with power efficiency. By capitalising on the 60 GHz RF bandwidth in the D-band (110 GHz – 170 GHz) – equating to 30 GHz in baseband—the systems can handle ultra-broadband signals. The end-to-end transmitter architecture (mirrored on the receiver side) integrates MAC, digital baseband, low-speed DACs, analog channel bonding, RF front end, and antenna systems (as in Fig. 1). To address the high bandwidth, parallel processing is adopted from MAC to the analog channel bonder. Antenna designs follow two parallel paths: on-chip antennas and off-chip antennas in collaboration with external partners, enabling 2D scalability and supporting Integrated Communication and Sensing (ICAS).

Key achievements include the successful demonstration of a D-band transceiver, achieving beamforming at 1.2 metres with a 2 Gbps data rate. Extended range transmission was accomplished with a 10 Gbps data rate over a 10-metre distance, maintaining an SNR of 11.5 dB and an EVM of 26.5%. The FPGA-based baseband supported QPSK at 3.33 Gbps and QAM-16 at 6.67 Gbps. Additionally, a high-speed DAC reached 120 Gbps using PAM-8 at a 40 GHz clock, demonstrating an efficiency of 0.63 pJ/bit.

Ultra-low latency buffers ensured consistent buffer access latency, with 7 clock cycles in a register-array-based design and 15

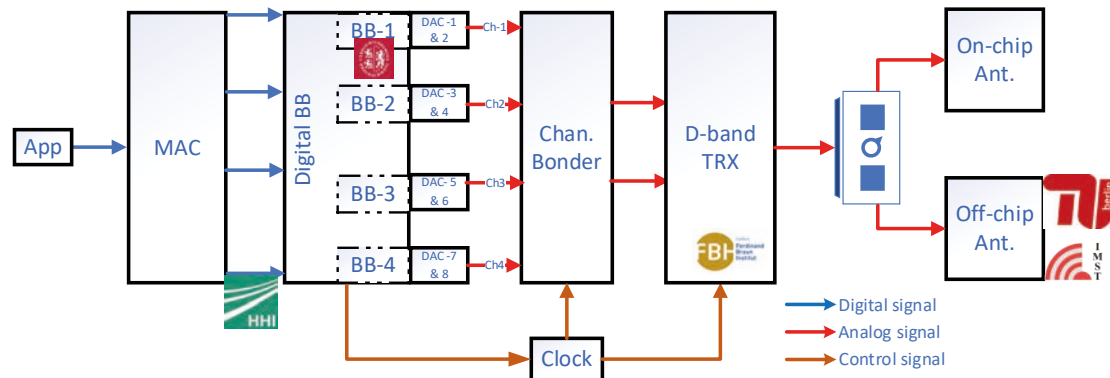


Abb. 1: Zwei Verpackungskonfigurationen wurden in der ersten Runde der Testmontage charakterisiert.
Fig. 1: End-2-End demonstrator system

erreichte ein Hochgeschwindigkeits-DAC 120 Gbit/s unter Verwendung von PAM-8 bei einem 40-GHz-Takt und zeigte dabei eine Effizienz von 0,63 pJ/bit.

Ultra-Low-Latency-Puffer gewährleisteten eine konsistente Pufferzugriffslatenz von sieben Taktzyklen im Register-Array-basierten Design und 15 Taktzyklen im SRAM-basierten Design. Diese zukunftssichere MAC-Architektur nutzt die Vorteile des heterogenen Computings und der Hardwarebeschleunigung. Die MAC-FEC-Einheit zeichnete sich durch ein skalierbares Design aus, das Datenraten von bis zu 5 Gbit/s auf FPGA-Plattformen unterstützt.

Durch die Zusammenarbeit an Off-Chip-Antennen erreichte die Off-Chip-Antenne von TeraSI eine Verstärkung von 4 dBi und ein Beamforming von $\pm 60^\circ$. IMST-Messungen bestätigten zudem eine relative EIRP von +14,4 dB bei der Nutzung eines einzelnen MMIC mit einer Linse, was eine verbesserte Strahlsteuerung und eine erhöhte Übertragungsstabilität belegt.

Gefördert vom Bundesministerium für Bildung und Forschung (BMBF) (Fördernummer 16KISK026) umfasst das Projekt die Partner IHP, IMST, IKTS, Fraunhofer HHI, TU Berlin, TU Braunschweig, FBH und TeraSI.

Die Ergebnisse des 6G-RIC-Projekts ebnen den Weg für immersive Anwendungen (erweiterte Realität, Holographie, interaktives Lernen), Kommunikation autonomer Fahrzeuge mit latenzarmen Hochgeschwindigkeitsverbindungen und industrielle Automatisierung mit Echtzeit-Drahtlossteuerung. Diese Ergebnisse unterstützen auch die 6G-Standardisierungsbemühungen und fördern Telekommunikationssysteme der nächsten Generation.

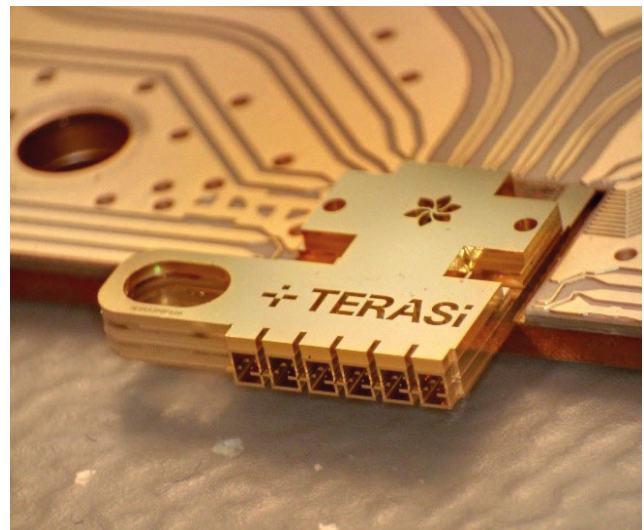
clock cycles in an SRAM-based design. This future-proof MAC architecture takes advantage of heterogeneous computing and hardware acceleration. The MAC-FEC unit featured a scalable design, supporting data rates of up to 5 Gbps on FPGA platforms.

Collaboration on off-chip antenna development led to TeraSI's off-chip antenna achieving a 4 dBi gain with $\pm 60^\circ$ beamforming. IMST measurements further confirmed a relative EIRP of +14.4 dB when using a single MMIC with a lens, highlighting improvements in beam steering and transmission stability.

The project is funded by the German Federal Ministry of Education and Research (BMBF) (grant number 16KISK026) and involves the following partners: IHP, IMST, IKTS, Fraunhofer HHI, TU Berlin, TU Braunschweig, FBH, and TeraSI.

6G-RIC's outcomes pave the way for immersive applications (augmented reality, holography, interactive learning), autonomous vehicle communication with low-latency high-speed links, and industrial automation with real-time wireless control. These results also support 6G standardisation efforts and advance next-generation telecommunications systems.

Abb. 2: Externe Antennen und D-Band-MMIC integriert in TeraSi-Verpackung
Fig. 2: External antennas and D-band MMIC integrated in TeraSi -Packaging



COCHISA

Mit der global zunehmenden Nutzung satellitenbasierter Kommunikation sowie dem wachsenden Interesse an Erderkundungsdaten gewinnen die dafür benötigten Satellitensysteme stetig an Bedeutung. Damit einhergehend wächst auch der Bedarf an weltraumtauglichen HF-Komponenten, die essenziell für die Kommunikation innerhalb von Satellitenkonstellationen sind. Mit dem Ziel, die Unabhängigkeit Europas in Bezug auf den Zugang zu diesen Komponenten zu fördern, werden in dem von der EU finanzierten Projekt COCHISA zwei skalierbare, mehrkanalige Beamforming-Core-Chips entwickelt, von denen einer im X-Band (10 GHz) und einer im Ka-Band (28 GHz) arbeiten wird.

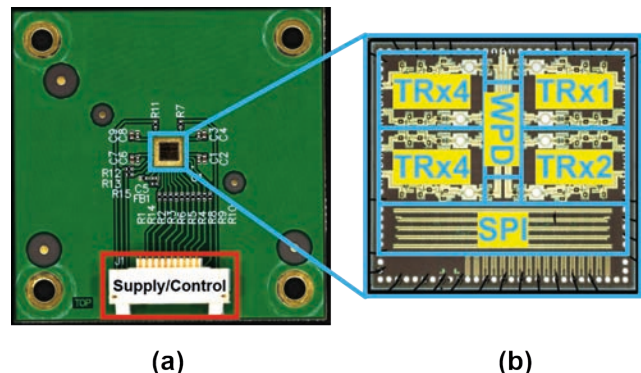
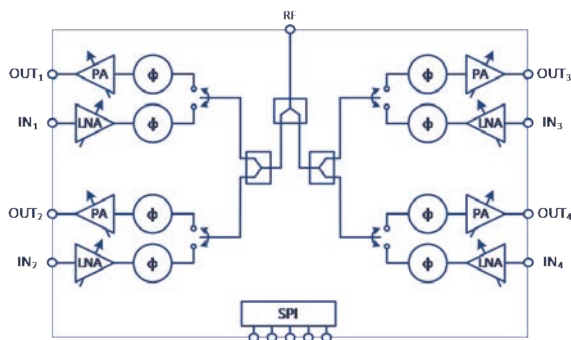
In Summe sind sieben Partner an diesem Projekt beteiligt, darunter kleine und mittelständische Unternehmen, Großunternehmen sowie das IHP als akademischer Partner. Das Konsortium bildet dabei die gesamte Wertschöpfungskette ab, angefangen bei der Entwicklung der Core-Chips über die Fertigung und das Packaging der Chips bis hin zur Qualifikation der Bauteile und dem Aufbau von Demonstratoren. Das IHP ist im Konsortium für die Entwicklung des Ka-Band-Core-Chips zuständig, während ein Projektpartner für die Entwicklung des Chips für das X-Band verantwortlich ist. Beide Chips werden im IHP-Reinraum mit der SG13RH-Technologie gefertigt, um die erforderliche Strahlungshärte zu gewährleisten. Darüber hinaus stellt das IHP für beide Chipvarianten seriell-parallele Schnittstellen (SPI) zur Verfügung, die eine effiziente Datenübertragung und Systemintegration ermöglichen. Das Tochterunternehmen von IHP, IHP Solutions, ist ebenfalls aktiv an dem Projekt beteiligt und spielt eine Schlüsselrolle im Projektmanagement. Sie ist verantwortlich für die Koordination der verschiedenen Projektphasen, die Entwicklung von Verwertungsstrategien sowie die Ausarbeitung und Umsetzung von Marketingstrategien zur erfolgreichen Vermarktung der Projektergebnisse.

Da die im Rahmen des TARANTO-Projekts entwickelten Ka-Band-Analogschaltungen eine solide Grundlage für die

With the increasing global use of satellite-based communication and the growing interest in earth observation data, the satellite systems required for this are becoming increasingly important. This is accompanied by a growing demand for space-qualified RF components, which are essential for communication within satellite constellations. With the aim of promoting Europe's independence in terms of access to these components, the EU-funded COCHISA project is developing two scalable, multi-channel beamforming core chips, one of which will operate in the X-band (10 GHz) and one in the Ka-band (28 GHz).

A total of 7 partners are involved in this project, including small and medium-sized enterprises, large companies and the IHP as an academic partner. The consortium covers the entire value chain, from the development of the core chips to the production and packaging of the chips, the qualification of the components and the construction of demonstrators. IHP's role in the consortium is to develop the Ka-band core chip, while a project partner is responsible for the development of the chip operating in the X-band. Both chips are being fabricated in the IHP clean room facilities using SG13RH technology to ensure the required level of radiation hardness. Furthermore, IHP provides serial-parallel interfaces (SPI) for both chip variants, enabling efficient data transfer and system integration. The subsidiary of the IHP, IHP Solutions, is also actively involved in the project and plays a central role in project management. It is responsible for coordinating the various project phases and the development and implementation of exploitation as well as marketing strategies in order to successfully market the project results and making them available to industry.

Considering the Ka-band analog circuits developed in the TARANTO project as a strong basis for the development of the core chip, major efforts have been made for their monolithic integration as well as for the insertion of the radiation-hardened SPI, which makes massive use of triple redundancy to cope with any radia-



COCHISA Ka-Band-Kernchip: (links) Chip-Blockdiagramm und (rechts) Modul für Strahlungstests mit Einblick in den hergestellten Kernchip
COCHISA Ka-Band core chip: (left) chip block diagram and (right) module for radiation tests with insight on the manufactured core-chip

Entwicklung des Core-Chips bildeten, wurden große Anstrengungen für ihre monolithische Integration sowie für die Integration der strahlungsbeständigen SPI unternommen, welche von der dreifachen Redundanz Gebrauch macht, um mit allen Strahlungsproblemen fertig zu werden. Nach der Herstellung wurde der Core-Chip auf einer Testplatine montiert und im HF-Labor des IHP erfolgreich getestet (unter Verwendung von Wafersonden für die Hochfrequenz-Ein-/Ausgänge). Dabei zeigte sich, dass der Chip über die SPI-Schnittstelle vollständig steuerbar ist und die HF-Leistung sehr nahe an den in den Simulationen vorhergesagten Werten liegt. Nach der Bestrahlung mit unterschiedlichen Energieniveaus wurde der Chip erneut charakterisiert und zeigte nur eine minimale Verschlechterung aufgrund der durchgeführten Bestrahlung. Ein Blockdiagramm des Ka-Band-Core-Chips und ein Bild des für die Strahlungstests verwendeten Moduls sind in der Abbildung zu sehen.

Das Projekt ist nun in seine Endphase eingetreten, und die Core-Chips werden in ein weltraumtaugliches QFN-Plastikgehäuse verpackt, um die Projektziele vollständig zu erfüllen und die Verfügbarkeit von „europäischen“ Beamforming-Core-Chips zu ermöglichen.

5G-COMPLETE

Das Projekt 5G-COMPLETE war ein Horizon-2020-Projekt im Rahmen der ICT-19 Aufforderung der 5G Public Private Partnership (5G-PPP) mit einem EU-Gesamtbeitrag von fast 6 Millionen Euro. Das Projekt wurde von der National Technical University of Athens (NTUA) koordiniert, die Projektpartner waren Orange SA, Nextworks Srl, Accelleran, University of Bristol, Nubificus Ltd, Mellanox Technologies Ltd, Siklu Communication Ltd, Institute of Accelerating Systems and Applications (IASA), IHP - Leibniz-Institut für innovative Mikroelektronik, COSMOTE Kinites Tilepikoinonies AE, ADVA Optical Networking SE und die Aristotle University of Thessaloniki.

Die geplanten 6G-Anwendungsfälle werden höhere Anforderungen an das Netz stellen, d. h. extrem hohe Datenraten und extrem niedrige Latenzzeiten. Das Projekt 5G-COMPLETE konzentrierte sich auf die Bereitstellung von Technologieinnovationen für das Transportnetz, die diesen Anforderungen gerecht werden können. Diese Innovationen wurden in ganzheitlichen 5G-Einsatzparadigmen getestet und bewertet, die sehr anspruchsvolle vertikale Dienste und Anwendungen unterstützen können. Während der Projektlaufzeit wurden insgesamt fünf Demonstratoren gefördert, die jeweils auf unterschiedliche vertikale Dienste abzielten, wie z. B. intelligente Energiemessung, virtuelle Content Delivery Network (CDN)-Dienste, fortschrittliche Überwachung und zukünftige Augmented-Reality (AR)/Virtual-Reality (VR)-Dienste.

Die reichlich vorhandenen Frequenzen im THz-Bereich sind in der Lage, die für diese Anwendungsfälle erforderliche Datenlast zu

tion problem. After fabrication, the core chip was mounted on a test board and successfully tested in the IHP RF laboratory (using wafer probes for the high-frequency inputs/outputs), showing full controllability via the SPI interface and RF performance very close to that predicted by the simulations. After irradiation at different energy levels, the chip was recharacterized and showed almost no degradation due to the irradiation performed. A block diagram of the Ka-band core chip and a picture of the module used for radiation tests are shown in the figure.

Now the project has entered its final phase, and the core chips are being packaged in a space-qualified QFN plastic package to fully meet the project objectives and enable the availability of fully European manufactured beamforming core chips.

The 5G-COMPLETE project was a Horizon 2020 project belonging to the ICT-19 call of the 5G Public Private Partnership (5G-PPP) with a total Project EU contribution of almost 6 Million €. The project was coordinated by the National Technical University of Athens (NTUA) and the project Partners were Orange SA, Nextworks Srl., Accelleran, University of Bristol, Nubificus Ltd., Mellanox Technologies Ltd., Siklu Communication Ltd., Institute of Accelerating Systems and Applications (IASA), IHP – Leibniz Institute for High Performance Microelectronics, COSMOTE Kinites Tilepikoinonies AE, ADVA Optical Networking SE and the Aristotle University of Thessaloniki.

The envisioned 6G applications will demand more stringent requirements from the network, i.e. extremely high data rates and extremely low latency. The 5G-COMPLETE project focused on delivering technology innovations for the transport network which are able to cater for these requirements. These innovations were tested and evaluated in holistic 5G deployment paradigms that can support highly demanding vertical services and applications. A total of five demonstrators were promoted within the project, each targeting different vertical services, such as smart energy metering, virtual Content Delivery Network (CDN) services, advanced surveillance, and future Augmented Reality (AR) /Virtual Reality (VR) services.

The abundant spectrum available at THz frequencies will be able to master the required data load of these applications. The

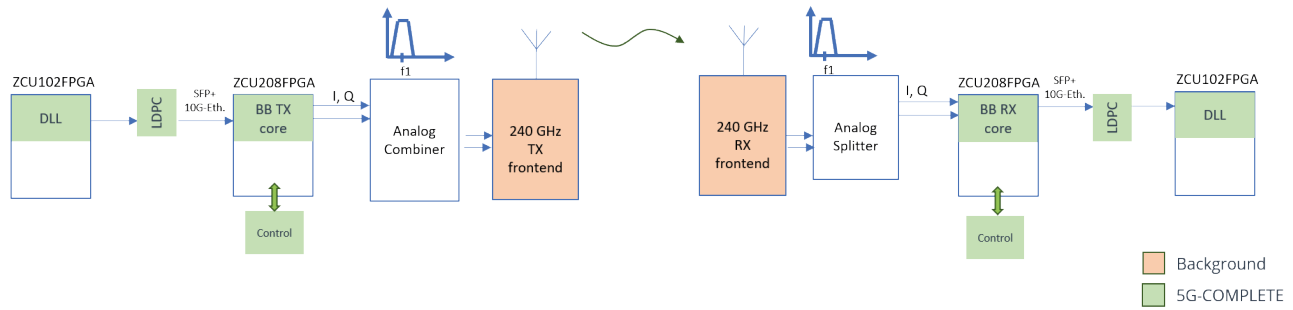


Abb. 1: Implementierungsarchitektur der THz-Transportlösung
Fig. 1: Implementation architecture of the THz transport solution

bewältigen. Die Bereitstellung eines drahtlosen Transportnetzes mit hoher Kapazität, das Hochfrequenz-Funkkommunikation (z. B. mmWave und THz) nutzt, ist eine der Hauptaufgaben des IHP. Gemeinsam mit dem griechischen F&E IASA wurde dieses THz-basierte Transportnetz mit der Fähigkeit ausgestattet, modernste Software Defined Networking (SDN) und Orchestrierungs-Frameworks zu integrieren.

Die entwickelte THz-Transportlösung ist für Innen- und Außen-umgebungen mit hohen Datenraten gedacht, in denen die Installation herkömmlicher optischer Kabel aufgrund der damit verbundenen Kosten oder anderer Schwierigkeiten nicht praktikabel ist. In diesem Szenario gehen wir von der Existenz begrenzter Mehrwegkomponenten bei hohen Frequenzen aus, was zu frequenzflachen Kanälen führt, die das Design und die Implementierung von Breitband-Single-Carrier (SC) mit geringer Komplexität begünstigen.

Die in 5G-COMPLETE vorgeschlagene THz-Transportlösung zielt auf die Kommunikation bei 240 GHz ab und umfasst einen modularen SC-(Multi)-Basisband (BB)-Prozessor, dessen Kerne parallel in einer einzigen (oder mehreren) FPGA-Plattformen laufen, d. h. mehrere BB-Prozessoren können sowohl am Sende- (TX) als auch am Empfangsende (RX) verwendet werden. Die im Rahmen des Anwendungsfalls 5G-COMPLETE Advanced Surveillance durchgeführte Demonstration ist in Abb. 1 dargestellt. Im Testaufbau für die Bewertung des

provision of a high capacity wireless transport network, using high-frequency radio communications (e.g. mmWave and THz), has been one of the main roles of the IHP. Together with the Greek R&D Institute IASA, this THz-based transport network has been featured with capabilities to integrate state-of-the-art Software Defined Networking (SDN) and Orchestration frameworks.

The developed THz transport solution is targeted for high-data-rate indoor and outdoor environments, where the installation of the traditional optical cables is not practical due to the associated costs or other difficulties. In this scenario, we assume the existence of limited multipath components at high frequencies, resulting in frequency-flat channels that favour the design and implementation of low-complexity wideband single-carrier (SC) systems.

The THz transport solution proposed in 5G-COMPLETE targets communication at 240 GHz and it comprises a modular SC (multi)-baseband (BB) processor whose cores run in parallel in a single (or several) FPGA platforms, i.e. multiple BB processors can be utilised at both transmit (TX) and receive (RX) ends. The demonstration carried out as part of the 5G-COMPLETE Advanced Surveillance application is presented in Fig. 1. In the test setup for the evaluation of the application we were able to transmit 6.6 Gbps over a distance of 1 m via the 240 GHz RF link (see Fig. 2). The solution has been featured with a Medium Access Control (MAC),

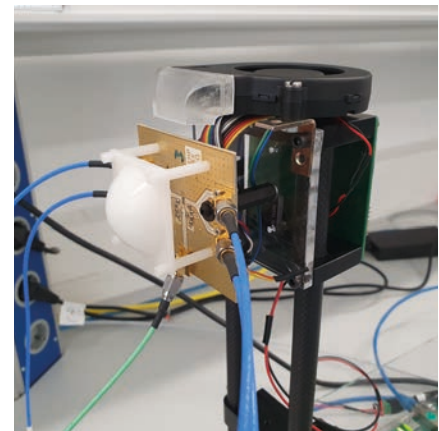
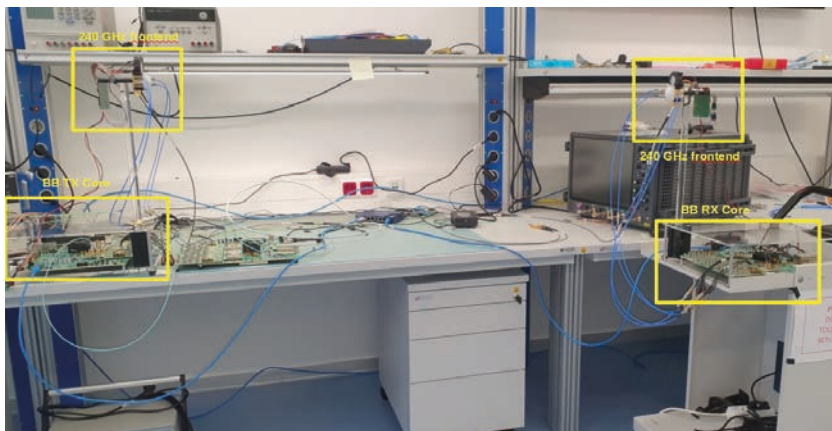


Abb. 2: a) Einrichtung des OTA TX/RX des BB-Prozessors, b) 240 GHz Analog Front-End
Fig. 2: a) Setup of the OTA TX/RX of BB processor, b) 240 GHz Analogue Front-End

Anwendungsfällen konnten wir 6,6 Gbit/s über eine Entfernung von 1 m über die 240-GHz-HF-Verbindung übertragen (siehe Abb. 2). Die Lösung ist mit einer Medium Access Control (MAC) ausgestattet, die für den Zugriff auf das Medium, das Link-Management und das Scheduling zuständig ist. Darüber hinaus kann die Lösung dank der Bereitstellung von SDN-Funktionen mit jeder zusätzlichen Komponente in 5G-COMPLETE verbunden werden. Für die THz-Lösung wurde ein technologiespezifischer SDN-Controller entwickelt, der in der Lage ist, dem Orchestrator eine Reihe von Aktionen und Benachrichtigungen zu übermitteln, z. B. PHY-Konfiguration und Beendigung von Konnektivitätsdiensten.

Scale4Edge

Fehlertoleranz ist eine entscheidende Anforderung an Systeme, die in schwierigen Umgebungen, wie der Luft- und Raumfahrt, aber auch der Automobilindustrie oder anderen sicherheitskritischen Bereichen, eingesetzt werden. Die Exposition gegenüber Strahlung, extremen Temperaturen und anderen widrigen Bedingungen kann zu Single-Event-Upsets, Alterungseffekten oder dauerhaften Hardwareschäden führen. Da die Systeme in diesen Bereichen immer komplexer und anspruchsvoller werden, besteht ein dringender Bedarf an zuverlässigen Designs, die sich dynamisch an Fehler anpassen und einen unterbrechungsfreien Betrieb gewährleisten können. Open-Source-RISC-V-Prozessoren bieten eine leistungsstarke Grundlage, um diese Herausforderungen zu bewältigen. Ihre Transparenz, Flexibilität und Anpassungsfähigkeit ermöglichen die Entwicklung kosteneffizienter, leistungsstarker Lösungen. Durch die Förderung von Innovation und die Vermeidung von Anbieterabhängigkeit ermöglichen sie hochgradig maßgeschneiderte Designs, die strenge Sicherheits- und Zuverlässigkeitsanforderungen erfüllen.

Der TETRISC SoC, der im Rahmen des vom BMBF geförderten Scale4Edge-Projekts entwickelt wurde, ist ein hervorragendes Beispiel dafür, wie Open-Source-Architekturen genutzt werden können, um robuste und anpassungsfähige Systeme zu schaffen. Dieses RISC-V-basierte Quad-Core-System verfügt über fortschrittliche Fehlertoleranzmechanismen, um die Betriebsintegrität unter schwierigen Bedin-

which is responsible for access to the medium, link management and scheduling. In addition, the solution is able to connect to any additional component in 5G-COMPLETE thanks to the provisioning of SDN capabilities. A technology-specific SDN Controller has been developed for the THz solution, which is able to expose a set of actions and notifications to the orchestrator, e.g. PHY configuration and termination of connectivity services.

Fault tolerance is a critical requirement for systems operating in harsh environments such as aerospace, automotive, or other safety-critical domains. Exposure to radiation, extreme temperatures, and other adverse conditions in these contexts can lead to failures such as single-event upsets, ageing effects, or permanent hardware damage. As systems in these fields grow more complex and demanding, there is a pressing need for reliable designs capable of dynamically adapting to faults and ensuring uninterrupted operation. Open-source RISC-V processors offer a powerful foundation for addressing these challenges, with their transparency, flexibility, and adaptability enabling the development of cost-efficient, high-performance solutions. By fostering innovation and avoiding vendor lock-in, they allow for highly customised designs aligned with stringent safety and reliability requirements.

The TETRISC SoC, developed under the BMBF-funded Scale4Edge project, is a prime example of how open-source architectures can be leveraged to create robust and adaptive systems. This RISC-V-



Dr. Markus Ulbricht stellt das Projekt Scale4Edge vor
Dr. Markus Ulbricht presents the project Scale4Edge



Junchao Chen stellt das Project Scale4Edge vor
Junchao Chen presents the project Scale4Edge

gungen zu gewährleisten. Im Rahmen von Scale4Edge, wo wir mit anerkannten Partnern aus Industrie und Wissenschaft, wie Infineon, Bosch, MINRES, TU München, Dresden und Paderborn, zusammenarbeiten, besteht das übergeordnete Ziel darin, ein Ökosystem für eine skalierbare und flexibel erweiterbare Edge-Computing-Plattform auf Basis der RISC-V-Technologie zu schaffen. TETRISC spielt in diesem Ökosystem eine entscheidende Rolle, indem es Fehlertoleranzaspekte berücksichtigt und die Zuverlässigkeit in anspruchsvollen Umgebungen sicherstellt. Die Plattform bietet mehrere Betriebsmodi, darunter einen Hochleistungs-Quad-Core-Betrieb und Konfigurationen für duale, triale und quadruple modulare Redundanz. Diese Modi ermöglichen es dem System, sich dynamisch an unterschiedliche Zuverlässigkeitsanforderungen anzupassen. Für Szenarien, in denen Energieeffizienz von entscheidender Bedeutung ist, steht auch ein Energiesparmodus mit Clock-Gating zur Verfügung, wodurch TETRISC vielseitig in verschiedenen Anwendungen eingesetzt werden kann. Diese Integration von Anpassungsfähigkeit, Fehlertoleranz und Energieeffizienz zeigt das Potential von RISC-V-basierten Systemen in Bereichen mit hoher Sicherheit und Zuverlässigkeit.

Im Jahr 2024 hat TETRISC bedeutende Fortschritte gemacht. In der ersten Phase von Scale4Edge wurden alle vier Kerne homogen gehärtet, um jede NMR-Konfiguration (N-Modular Redundancy) zu unterstützen. In TETRISC v2 wurde dieses Design nun verfeinert, um dem neuesten Stand der Technik in fehlertoleranten Systemen besser gerecht zu werden und gleichzeitig die Hardwarekomplexität und die Stromkosten zu reduzieren: Der Master-Kern ist für maximale Zuverlässigkeit vollständig gehärtet, ein Kern wird selektiv mit KI-gesteuerten Techniken gehärtet, um kritische Komponenten zu schützen. Die verbleibenden zwei Kerne sind mit ResiliCells für ein flexibles Fehlermanagement und einen nahtlosen Wechsel zwischen den verschiedenen Betriebszuständen ausgestattet. Um eine gleichbleibende Zuverlässigkeit in rauen Umgebungen zu gewährleisten, haben wir auch die Systemüberwachung verbessert. Digitale Temperatur-, Alterungs- und Strahlungsmonitore liefern

based quad-core system incorporates advanced fault-tolerance mechanisms to ensure operational integrity in challenging conditions. Within Scale4Edge, where we collaborate with recognised industrial and academic partners such as Infineon, Bosch, MINRES, TU Munich, Dresden and Paderborn, the overarching goal is to establish an ecosystem for a scalable and flexibly expandable edge-computing platform based on RISC-V technology. TETRISC plays a critical role within this ecosystem by addressing fault-tolerance aspects, ensuring reliability in demanding environments. The platform provides multiple operational modes, including high-performance quad-core operation and configurations for dual-, triple-, and quadruple-modular redundancy. These modes allow the system to dynamically adapt to varying reliability requirements. For scenarios where energy efficiency is critical, a low-power mode with clock-gating is also available, making TETRISC versatile across diverse applications. This integration of adaptability, fault tolerance, and energy efficiency showcases the potential of RISC-V-based systems in high-security and high-reliability domains.

In 2024, the TETRISC has undergone significant advancements. In the first phase of Scale4Edge, all four cores were homogeneously hardened to support any NMR (N-Modular Redundancy) configuration. In TETRISC v2, this design has now been refined to better fit the state of the art in fault tolerant systems while reducing hardware complexity and power costs: the master core is fully hardened for maximum reliability, one core is selectively hardened using AI-guided techniques to protect critical components, and the remaining two cores are equipped with ResiliCells for flexible fault management and seamless switching between operational states. To ensure consistent reliability in harsh environments, we also improved system monitoring. Digital temperature, ageing and radiation monitors now provide real-time feedback on system health. Testing processes were further advanced with the introduction of laser-based fault injection, a precise and cost-effective approach to pre-validate radiation resistance. Additionally, SPI Flash booting simplifies system initialisation, and an updated demonstration GUI

nun Echtzeit-Feedback zum Systemzustand. Der Systemtest wurde durch den Einsatz der laserbasierten Fehlerinjektion, einem präzisen und kostengünstigen Ansatz zur Vorabvalidierung der Strahlungsbeständigkeit, weiter verbessert. Darüber hinaus vereinfacht das Booten über SPI-Flash die Systeminitialisierung, und eine aktualisierte Demonstrator-GUI ermöglicht die Echtzeit-Überwachung und -Steuerung, wodurch die Interaktion für Wissenschaftler und Ingenieure optimiert wird.

enables real-time monitoring and control, streamlining interaction for scientists and engineers.

Digitales Wissens- & Informationssystem für die Landwirtschaft

Digital Agricultural Knowledge & Information System

Biodiversitätsverlust, Ressourcenverknappung, Klimawandel sowie eine zunehmende Nachfrage nach Nahrungsmitteln führen weltweit zu Zielkonflikten in der Landbewirtschaftung. Die Harmonisierung dieser Zielkonflikte, durch eine optimal ausbalancierte Bereitstellung von Ökosystemleistungen (ÖSL), stellt für die Agrarsysteme der Zukunft eine wesentliche Herausforderung dar. Die optimale Bereitstellung von ÖSL steht im Fokus des Projektes DAKIS und soll durch ein neuartiges digitales Entscheidungsunterstützungssystem sowie eine kleinteilige und diversifizierte Landbewirtschaftung ermöglicht werden. Das Ziel des vom BMBF geförderten Verbundprojektes DAKIS ist es, ein neues Entscheidungssystem zu kreieren, das es ermöglicht, heute nicht marktfähigen Gütern wie ÖSL und Biodiversität als Produkte bzw. Ergebnisse landwirtschaftlichen Handelns einen ökonomischen Wert zu verleihen.

Im DAKIS basieren landwirtschaftliche Aktivitäten auf Echtzeitinformationen von Sensoren sowie Modellen und sind flexibel auf den markt- und gesellschaftlichen Bedarf optimiert. Am Ende des Projektes wird ein Prototyp des DAKIS vorliegen, welcher die Machbarkeit und positiven Auswirkungen der diversifizierten und kleinskaligen Landnutzung in den Testregionen demonstrieren soll. Das Projekt befindet sich nun in der zweiten Phase, in der die Modelle entwickelt und das Entscheidungssystem vorangebracht werden soll. Phase eins wurde 2024 abgeschlossen. Das IHP hatte hier seinen Anteil bei der Erforschung, Entwicklung und Bereitstellung von anwendungsspezifischen, flexiblen, langlebigen und leistungsfähigen Sensoren und Sensornetzen.

Ziel war dabei die Bereitstellung eines energieeffizienten und kostengünstigen Sensornetzwerks für sensorgestütztes Landschaftsmonitoring, welches die kleinteilige Erfassung von standortspezifischen Anforderungen in Echtzeit unterstützt, um sowohl eine

The loss of biodiversity, scarcity of resources, climate change and increasing demand for food lead to conflicting goals in land management worldwide. The harmonisation of these conflicting goals through an optimally balanced provision of ecosystem services (ESS) represents a significant challenge for the agricultural systems of the future. The optimal provision of ESS is the focus of the DAKIS project and is intended to be supported by a novel digital decision support system, as well as made possible by a small-scale and diversified land management. The aim of the DAKIS joint project required by the BMBF is to create a new decision-making system that makes it possible to give economic value to currently non-marketable goods such as ESS and biodiversity as products or results of agricultural activities.

In DAKIS, agricultural activities are based on real-time information from sensors and models and are flexibly optimised to meet market and social needs. A DAKIS prototype will be available at



Abb. 1: Gateway auf dem Versuchsfeld im Mühlenbecker Land.

Fig. 1: Gateway to the test site in Mühlenbecker Land

kleinräumige Bewirtschaftung jeweils zum optimalen Zeitpunkt, als auch eine Erfolgskontrolle von Maßnahmen zu ermöglichen.

Im Rahmen dessen wurden vier Arten von batteriebetriebenen Sensorknoten entwickelt und seit Ende 2021 auf dem Agroforst-Experimentierfeld in Großmutz (Löwenberger Land), dem Grünland-Experimentierfeld in Dahmsdorf (Müncheberg) und einem Versuchsfeld im Mühlenbecker Land (Abb. 1) prototypisch erprobt. Sie bilden jeweils ein heterogenes Sensornetz zur Erfassung von mikrometeorologischen- und Bodenparametern. Die im Feld erfassten Sensordaten werden drahtlos und verschlüsselt über Sub-1 GHz an ein lokales Gateway und von dort an einen zentralen Server übertragen, wo sie weiterverarbeitet und geprüft werden, um für die Projektpartner über ein Dashboard zur Verfügung zu stehen (Abb. 2). Dank intensiver Anstrengungen bei der Entwicklung der Sensorknoten-Firmware, können die solarbetriebenen Sensorknoten autark auch über die dunkle Jahreszeit hinweg zuverlässig betrieben werden, ohne dabei die vorgegebene engmaschige Messung der Umgebungsparameter zu reduzieren. Auch die Konfiguration der Knoten und das Aufspielen von Softwareupdates aus der Ferne sowie die Verbesserung der Ausfallsicherheit, Wartbarkeit und die Implementierung eines Diebstahlschutzes wurden in der ersten Phase abschließend realisiert. Ein Großteil der Sensorge-

the end of the project, which will demonstrate the feasibility and positive effects of diversified and small-scale land use in the test regions. The project is now in the second phase in which the models will be developed and the decision-making system will be brought to a next level. Phase one was completed in 2024. The IHP played its part in the research, development and provision of application-specific, flexible, long-lasting and powerful sensors and sensor networks.

The aim was to provide an energy-efficient and cost-effective sensor network for sensor-supported landscape monitoring, which supports the small-scale recording of site-specific requirements in real time in order to enable both small-scale management at the optimal time and monitoring the success of measures.

As part of this, four types of battery-operated sensor nodes were developed and tested as prototypes since the end of 2021 on the agroforestry experimental field in Großmutz (Löwenberger Land), the grassland experimental field in Dahmsdorf (Müncheberg) and a test field in Mühlenbecker Land (Fig. 1). Each of them forms a heterogeneous sensor network for recording micrometeorological and soil parameters. The sensor data collected in the field are transmitted wirelessly and encrypted via sub-1 GHz to a local gateway and from there to a central server, where it is further

processed, checked and made available to the project partners via a dashboard (Fig. 2). Thanks to intensive efforts in the development of the sensor node firmware, the solar-powered sensor nodes can be operated independently, reliably even during the dark season, without reducing the specified close measurement of the environmental parameters. The configuration of the nodes and the installation of software updates remotely, as well as

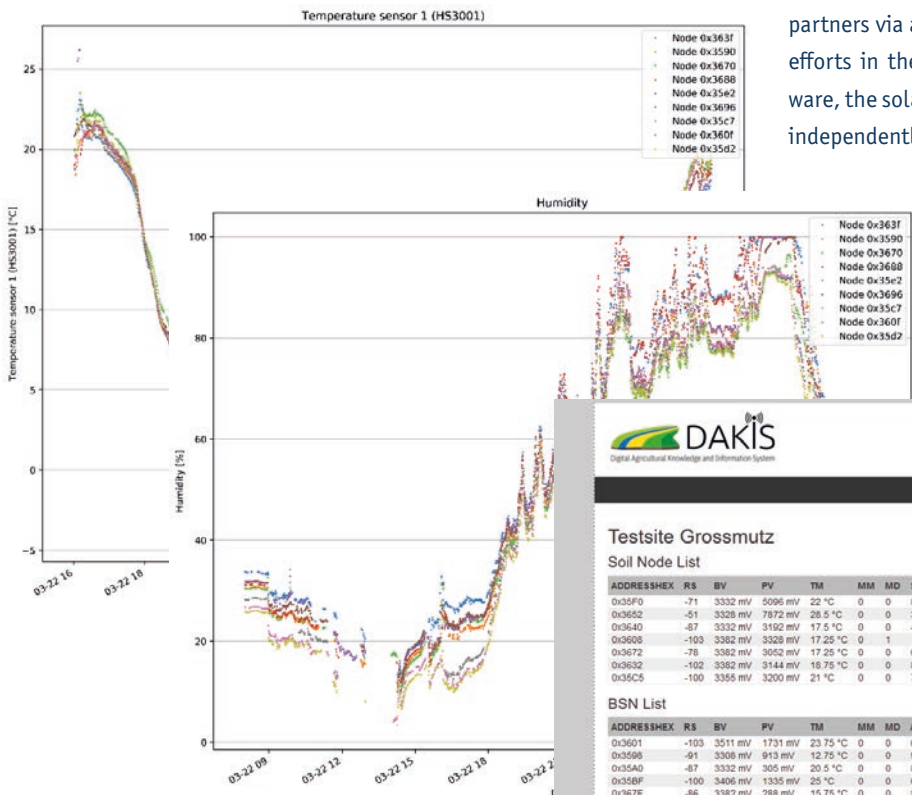


Abb.2: DAKIS-Dashboard und Live-Messdaten vom Versuchsfeld in Großmutz
Fig.2: DAKIS dashboard and live measurement data from the test field in Großmutz

häuse konnte kostengünstig durch die Verwendung verschiedener 3D-Drucktechnologien bereitgestellt werden.

Um die Entwicklungszeit zu reduzieren, basieren drei der vier Module auf dem bereits am IHP entwickelten ATLAS-Kernmodul. Beim vierten Modul, einem Mikrofonknoten zur spezifischen Erfassung der lokalen Biodiversität, wurde bestehende Hardware erweitert und in das entwickelte Sensornetz integriert. Insgesamt sechs dieser Mikrofonknoten sind auf dem Versuchsfeld im Mühlenbecker Land installiert, um dort Tiergeräusche aufzunehmen, die anschließend mit KI-gestützten Methoden analysiert werden, um Rückschlüsse auf die Biodiversität zu ziehen.

the improvement of reliability, maintainability and the implementation of a theft protection were also completed in the first phase. A majority of the sensor housings could be provided cost-effectively through the use of various inhouse 3D printing technologies.

In order to reduce development time, three of the four node types are based on the ATLAS core module already developed at IHP. In the fourth node type, a microphone node for the specific recording of local biodiversity, existing hardware was expanded and integrated into the developed sensor network. A total of 6 of these microphone nodes are installed on the test field in Mühlenbecker Land to record animal sounds, which are then analysed using AI-supported methods to draw conclusions about biodiversity.

Echtzeitfähige Machine-Learning-Lösungen für resiliente und sichere 5G/6G-Netze (EMiL)

Real-time machine learning solutions for resilient and secure 5G/6G networks (EMiL)

Unternehmen investieren viel, um eine hohe Zuverlässigkeit ihrer Systeme zu gewährleisten. Wenn Systeme funktionsfähig bleiben, steigt die Produktivität und damit auch der Gewinn. Im Zeitalter von Industrie 4.0 ist eine robuste Konnektivität zwischen intelligenten Systemen unerlässlich. 5G, bekannt für seine Sicherheit, Zuverlässigkeit und Robustheit im Vergleich zu anderen WLAN-Technologien, ist die bevorzugte Wahl, um diese Konnektivität zu ermöglichen. Trotz des hohen Sicherheitsniveaus ist 5G jedoch – wie jede vernetzte Technologie – anfällig für Angriffe, die zu einer Verschlechterung der Dienste führen können.

Eine potentielle Bedrohung ist das Jamming, das durch eine absichtliche Störung verursacht wird, bei der ein Angreifer ein störendes Signal auf der gleichen Frequenz und zur gleichen Zeit wie das 5G-Signal sendet. Dadurch wird das legitime Signal mit Rauschen vermischt, was zu Dekodierungsfehlern beim Empfänger führt. Diese Fehler führen zu einer Verschlechterung oder sogar Beendigung des Dienstes und bedrohen die Produktivität, Rentabilität und Kundenzufriedenheit des Unternehmens.

Daher ist es von entscheidender Bedeutung, solche Angriffe zu erkennen und ihnen mit geeigneten Gegenmaßnahmen entgegenzuwirken, bevor sie Schaden anrichten können.

Das EMiL-Projekt zielt darauf ab, solche Industrie-Szenarien zu emulieren, indem ein Test-Unternehmensnetz (privates 5G-Netz) eingerichtet und verschiedene Angriffe durchgeführt werden. Diese Angriffe sollen sofort erkannt und durch eine pragmatische Rekonfiguration des Netzes selbstständig abgewehrt werden.

Um Forschung im Bereich IT-Sicherheit mit einem Schwerpunkt auf Jamming-Angriffen betreiben zu können, wurde ein 5G-Testbed

Enterprises invest heavily to ensure high reliability in their systems. When systems remain functional, productivity increases, and so do profits. In the era of Industry 4.0, robust connectivity among intelligent systems is essential. 5G, known for its security, reliability, and robustness compared to other WLAN technologies, is a preferred choice for enabling this connectivity. However, despite its high level of security, 5G—like any connected technology—is vulnerable to attacks, which can lead to service degradation.

One potential threat is jamming, caused by intentional interference where an attacker transmits a malicious signal at the same frequency and time as the 5G signal. This intertwines the legitimate signal with noise, causing decoding errors at the receiver. These errors result in service degradation or even termination, threatening enterprise productivity, profitability, and customer satisfaction.

It is, therefore, crucial to detect and mitigate such attacks through appropriate countermeasures before they cause damage. The EMiL Project aims to emulate these industrial scenarios by setting up a test enterprise network (Private 5G Network) and introducing various attacks. These attacks are to be instantaneously detected and autonomously mitigated through pragmatic network reconfiguration.

In order to conduct research in the field of security, primarily focusing on jamming, a 5G testbed was established. Currently there are three indoor testbeds: one using a commercial solution and two based on open-source platforms (srsRAN Project and OpenAirInterface). Fig. 1 illustrates the generalisation of the proposed topology, where several software-defined radios were used, with

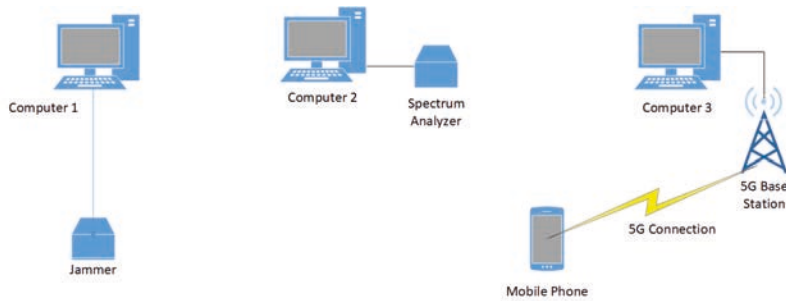


Abb.1: Verallgemeinerung der Topologie mit Software-defined Radios, die als Störsender, Spektrumanalysatoren und Basisstationen fungieren.

Fig.1: Topology generalisation showing software-defined radios functioning as jammers, spectrum analysers, and base stations.

aufgebaut. Derzeit werden drei Indoor-Testbeds betrieben: eines mit einer kommerziellen Lösung und zwei, die auf Open-Source-Plattformen basieren (srsRAN Project und OpenAirInterface). Abb. 1 veranschaulicht die Verallgemeinerung unserer Topologie, in der mehrere Software Defined Radios verwendet werden, wobei jedes entweder als Störsender, Spektrumanalysator oder Basisstation fungiert.

Um Angriffe zu simulieren, wurden drei hochdynamische Störsignale entwickelt, die bei jedem Angriff einzigartige Eigenschaften aufweisen. Dies ermöglicht die Erstellung komplexer Angriffsszenarien und fördert die Entwicklung robuster und effizienter Erkennungslösungen. Zusätzlich haben wir die Signalabschwächung als weitere Anomalie eingeführt, mit der unser Netzwerk möglicherweise konfrontiert werden könnte.

Durch die Überwachung von 5G Key Performance Indicators (KPIs) und Spektrum-Aktivitäten haben wir Modelle für maschinelles Lernen entwickelt, die Angriffe erkennen. Spektrumbasierte Modelle verwendeten Convolutional Neural Networks, wobei die Leistung eines Modells im Test mit einem Testdatensatz aus einem anderen Szenario 98,5 Prozent der Störangriffe richtig erkannte, wie die Konfusionsmatrix in Abb. 2 zeigt.

Die Projektpartner sind die Exelonix GmbH, Spezialisten für effiziente 5G-IoT-Lösungen für die Prozesskonnektivität und -automatisierung, und die Merantix Momentum, Experten für Lösungen im Bereich Künstliche Intelligenz (KI) und maschinelles Lernen (ML). Das Projekt wird vom Bundesamt für Sicherheit in der Informationstechnik unter dem Förderkennzeichen 01M023014C gefördert.

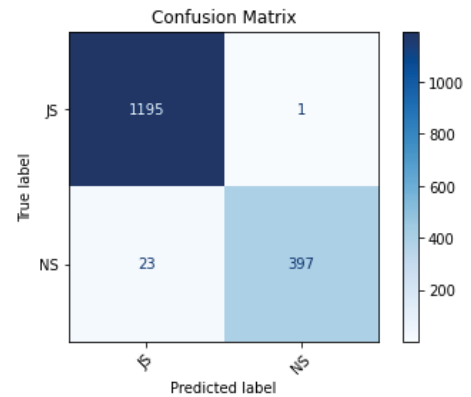


Abb.2: Konfusionsmatrix eines spektrogrammbasierten Störsignalerkennungsmodells für ein zum Training nicht verwendeten Datensatz aus einem anderen Szenario.

Fig.2: Confusion Matrix of a spectrogram-based jamming detection model on a foreign test dataset

each functioning either as a jammer, a spectrum analyser, or a base station.

To simulate attacks, three highly dynamic jamming signals, ensuring unique characteristics during each attack instance, were developed. These enable the creation of complex attack scenarios, fostering the development of more robust and efficient detection solutions. Additionally, a signal attenuation as another anomaly our network could potentially face was introduced.

By monitoring 5G Key Performance Indicators (KPIs) and spectrum activities, machine learning models capable of detecting attacks were developed. Models developed using KPIs as features utilised classical ML algorithms, such as Random Forest and Gradient Boost. Spectrum-based models employed Convolutional Neural Networks, with the performance of one model on data recorded in a different scenario detecting 98.5% of the jamming attacks correctly, illustrated by the confusion matrix in Fig. 2.

IHP collaborates with Exelonix GmbH, specialists in efficient 5G IoT solutions for process connectivity and automation, and Merantix Momentum, experts in artificial intelligence (AI) and machine learning (ML) solutions. The project is funded by Bundesamt für Sicherheit in der Informationstechnik under Grant number 01M023014C.



First cooperation agreement (2018)

IHP and the Sciences Dept. of Roma Tre signed the first **cooperation agreement** to pursue common research goals and student exchange.

The main topic of the cooperation agreement was :
"...modern *More than Moore* materials research. In particular, the partners intend to focus on basic research on the development & engineering of **group-IV semiconductor SiGeSn materials** & graphene towards the realization of **silicon based electronic-photonic integrated circuits (EPICs)**, operating from NIR up to THz frequencies."

22.02.2018

www.ihp-magnum.com | © IHP all rights reserved | IHP

KOOPERATIONEN COOPERATIONS



GEMEINSAME

LABORE

Neun Joint Labs bilden die Brücke zwischen Forschung am IHP und Hochschulen. In der Leibniz-Gemeinschaft gehörte das IHP zu den ersten Einrichtungen mit dieser Kooperationsform und ist auch jetzt eine der aktivsten. In Potsdam, Cottbus, Wildau und Berlin sowie auf internationaler Ebene in Zielona Góra, Istanbul und Rom arbeiten Wissenschaftlerinnen und Wissenschaftler des Instituts eng mit den universitären Einrichtungen zusammen. In diesem Jahr wurden zwei neue gemeinsame Labore eröffnet: eines mit der RWTH Aachen und dem FZ Jülich und ein weiteres mit der Universität Roma Tre.

Die Ziele der Zusammenarbeit in Joint Labs bestehen in der Erweiterung der grundlegenden Forschung, der schnelleren Umsetzung von universitärer Forschung in die Anwendung sowie der Förderung und der Gewinnung von technisch-wissenschaftlichem Nachwuchs durch gemeinsame Lehre sowie Betreuung und Begutachtung von Qualifikationsarbeiten der Partnerhochschulen. Die Themen der Kooperationen, intensiv und erfolgreich durch zahlreiche gemeinsame Forschungsprojekte bearbeitet, sind strategisch ausgerichtet und orientieren sich an den Forschungsprogrammen des IHP.



UNIVERSITY
OF ZIELONA GÓRA

Sabancı
Üniversitesi



RWTHAACHEN
UNIVERSITY





JOINT LABS

The bridge between research and universities is built at IHP by the nine Joint Labs. Within the Leibniz Association, IHP was one of the first institutions with this form of cooperation and is still one of the most active. In Potsdam, Cottbus, Wildau and Berlin, as well as on an international level in Zielona Góra, Istanbul, and Rome, scientists of the institute are working closely together with the universities. This year, two new joint labs were opened: one with RWTH Aachen and FZ Jülich and another one with University Roma Tre.

The goals of the cooperation in Joint Labs are the enhancement of basic research, the faster transfer of university research into application, as well as the promotion and recruitment of young technical-scientific talents through joint teaching, supervision, and review of qualification theses of the partner universities. The topics of the cooperations, intensively and successfully worked on through numerous joint research projects, are strategically oriented and aligned with the research programmes of IHP.



Zuverlässige Sensor-Netzwerke

Dependable Sensor Networks



Kontakt Contact

Partner Partner

Gründung und Eröffnung Opening

Prof. Dr. Peter Langendörfer (IHP),
Prof. Dr. Michael Hübner (BTU)/Vertretungsprofessur
Dr.-Ing. Marc Reichenbach (BTU)
BTU Cottbus-Senftenberg
2014-2015

b-tu Brandenburgische
Technische Universität
Cottbus - Senftenberg

Dieses Joint Lab untersucht zuverlässige und sichere – kurz: resiliente-verteilte Cyber-physikalische Systeme von Systemen. Letztere werden u. a. zur Kontrolle und Signalverarbeitung in realen Umgebungen eingesetzt, wie beispielsweise in Anwendungen von Smart Power Grids, Flugsicherheitskontrolle, der Steuerung von Fahrzeugen, in medizinischen Anwendungen und im Umweltmonitoring. Diese Systemumgebungen sind typischerweise durch hohe Realzeitanforderungen und durch die Notwendigkeit charakterisiert, Ausnahmestände und Fehler in sicherheitskritischen Anwendungen zu bearbeiten. Gleichzeitig werden die Zuverlässigkeitsanforderungen an derartige Systeme immer höher. Wichtig ist die ganzheitliche Betrachtung aller genannten Aspekte, insbesondere im Hinblick darauf, dass im Wesentlichen ressourcenbeschränkte Systeme betrachtet werden. Bei der Bestimmung des aktuellen Systemzustandes können Methoden der Künstlichen Intelligenz helfen. Für 5G-Netze wurden KI-basierte Methoden zur Erkennung von Jamming-Angriffen umgesetzt, sehr erfolgreich publiziert und beim BTU-Transfertag demonstriert.

This joint lab investigates reliable and secure – in short, resilient – distributed cyber-physical systems of systems. The latter are used, among other things, for control and signal processing in real environments, such as in smart power grid applications, flight safety control, vehicle control, medical applications and environmental monitoring. These system environments are typically characterised by high real-time requirements and the need to handle exceptional conditions and errors in safety-critical applications. At the same time, the reliability requirements for such systems are becoming increasingly stringent. It is important to take a holistic view of all the aspects mentioned, particularly in view of the fact that resource-constrained systems are essentially being considered. Artificial intelligence methods can help to determine the current system status. AI-based methods for detecting jamming attacks have been implemented for 5G networks, published very successfully and demonstrated at the BTU Transfer Day.



5G-Störung und -Erkennung am BTU-Transfertag 2024
5G Jamming and detection at the BTU Transfer day 2024

Photonische Bauelemente & Dünnschichttechnologien

Photonic Devices & Thin Film Technologies



Kontakt Contact

Partner Partner

Gründung und Eröffnung Opening

Prof. Dr. Andreas Mai (IHP),

Prof. Dr. Sigurd Schrader (TH Wildau),

TH Wildau, AG für Photonik, Laser- und Plasmatechnologien

2006



Das Joint Lab IHP/TH Wildau setzt weiter auf die gemeinsame Lehre und Ausbildung des wissenschaftlichen Nachwuchses. 2024 konnten wiederholt neue Kolleginnen und Kollegen als neue wissenschaftliche Mitarbeitende und Promovierende gewonnen werden und bereits erste Veröffentlichungen umgesetzt werden. Zahlreiche Mitarbeitende der Technologieabteilung, insbesondere aus dem Bereich der Prozess- und Bauelementforschung am IHP, unterstützen zudem weiterhin die Zusammenarbeit mit Laborpraktika, Studentenexkursionen sowie jährlichen Praktika für Studierende der TH Wildau aus den Bachelor- und Masterstudiengängen. Ein besonderes Highlight in 2024 war die dritte Auflage der Deutsch-Italienischen-Summerschool. Mit den langjährigen Partnern der Uni-Rom Tor Vergata und neuen Partnern der Universität RomaTre wurde für circa 15 ausgewählte Nachwuchswissenschaftlerinnen und Nachwuchswissenschaftler und Doktorandinnen und Doktoranden ein spannendes Programm mit Vorträgen hochrangiger Forschungseinrichtungen, wie z. B. dem italienischen INFN, durchgeführt. Außerdem war 2024 bezüglich der gemeinsamen Projektakquise ein sehr erfolgreiches Jahr. Zwei neue Projekte für die Entwicklung neuer photonischer Sensortechnologien konnten gestartet werden. Hinzu kam nun die finale Ausgründung des Start-Ups HyPhoX, welche den „Gründungspreis Digitale Innovation“ des BMWK gewonnen hat und nun zukünftig versuchen wird, die zahlreichen Entwicklungen der letzten Jahre innerhalb des Joint Lab weiter zu industrialisieren. Neben der wissenschaftlichen Arbeit wurde auch das 18-jährige Bestehen des Joint Lab mit anschließendem BBQ zelebriert – Wir sind erwachsen geworden!

The IHP/TH Wildau Joint Lab continues to focus on joint teaching and training of young scientists. In 2024, new colleagues were once again recruited as new research associates and doctoral students, and the first publications have already been implemented. Numerous employees from the technology department, particularly from the field of process and component research at IHP, also continue to support the collaboration with laboratory internships, student excursions and annual internships for students from TH Wildau in bachelor's and master's degree programmes. A special highlight in 2024 was the third edition of the German-Italian Summer School. Together with the long-standing partners from the University of Rome Tor Vergata and new partners from the University of RomaTre, an exciting programme with lectures from high-ranking research institutions such as the Italian INFN was organised for around 15 selected young scientists and doctoral students. Furthermore, 2024 was a very successful year in terms of joint project acquisition, and two new projects for the development of new photonic sensor technologies were launched. In addition, the final spin-off of the startup HyPhoX, which won the “Gründungspreis Digitale Innovation” of the BMWK, will now attempt to further industrialise the numerous developments of recent years within the JointLab. In addition to the scientific work, the 18th anniversary of the JL was celebrated with a subsequent BBQ – we have grown up!

HyPhoX Team bei der Preisverleihung des Gründungspreises Berlin-Brandenburg

HyPhoX team at the Berlin-Brandenburg Start-up Award ceremony



Drahtlose Breitbandkommunikationssysteme

Wireless Communication Systems



Kontakt Contact
Partner Partner

Gründung und Eröffnung Opening

Prof. Dr. Eckhard Grass (IHP)
Humboldt-Universität zu Berlin,
Institut für Informatik
2011/2012



Innerhalb des Joint Lab wird in der Lehre im Modul „Drahtlose Breitbandkommunikation“ auf Grundlagen der Nachrichtentechnik sowie auf spezielle aktuelle Entwicklungen (z. B. Mobilfunkstandards 5G und 6G) eingegangen. Aus Forschungsprojekten zur 6. Generation Mobilfunk (6G) fließen Ergebnisse direkt in die Lehre ein. Seit dem Wintersemester 2022/23 wird zusätzlich von Dr. Lopacinski (IHP) jeweils im Wintersemester das Seminar „Entwurf Digitaler Systeme“ angeboten.

Neben der Lehre charakterisieren Forschungsprojekte die Arbeit des Joint Lab. Im Rahmen des DFG-Projektes 5G-REMOTE wird die Erhöhung der spektralen Effizienz durch den Einsatz effizienter Beamforming- und Spatial-Multiplexing-Verfahren in Verbindung mit Integrated Sensing and Communications (ISAC) untersucht. Im Rahmen dieses DFG-Projekts wurden umfangreiche Untersuchungen und Simulationen zur optimalen Ressourcenzuweisung in komplexen drahtlosen Netzen durchgeführt (Abb. 1, Abb. 2). In diesem Kontext wurde die Eignung verschiedener Verfahren der Künstlichen Intelligenz (KI) detailliert untersucht.

Im Rahmen des Joint Lab wurde 2024 eine Promotion erfolgreich abgeschlossen und eine weitere Dissertation eingereicht.

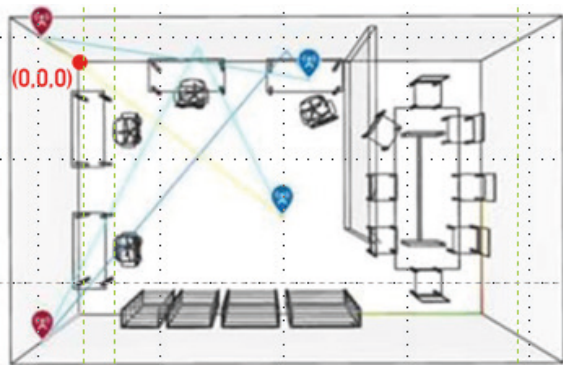


Abb. 1: Simulationsmodell für Beamforming Optimierung in Räumen
Fig. 1: Simulation model for indoor beamforming optimisation

In the framework of the Joint Lab at Humboldt University Berlin, in the module „Wireless Broadband Communications Systems“, the basics of wireless communications engineering as well as information on new developments such as 5G and 6G are taught. Results from research projects on wireless communications are directly used for teaching. Starting from Winter-Semester 2022/23, an additional seminar on the ‘Design of Digital Systems’ by Dr Lopacinski (IHP) is provided.

Besides teaching, the work in the Joint Lab is characterised by research projects. For example, the DFG project 5G-REMOTE aims to improve the spectral efficiency of wireless communications systems. For this purpose, beamforming and spatial multiplexing techniques in conjunction with integrated Sensing and Communications (ISAC) are investigated. In the context of this project, comprehensive simulations were performed to identify the most suitable AI-tools for efficient resource allocation (Fig.1, Fig. 2).

In the context of the Joint Lab, one PhD was successfully completed and another PhD thesis was submitted in 2024.

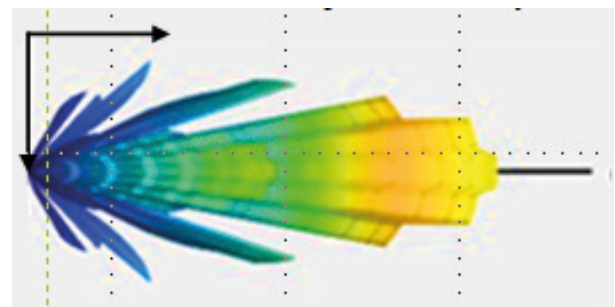


Abb. 2: Quantisierte Abstrahlcharakteristik einer Phased-Array Antenne
Fig. 2: Quantised radiation pattern of a phased array antenna

Projekte/Projects



5G-REMOTE



6G-RIC



SynfutoP

Entwurf von drahtlosen und eingebetteten Systemen

Wireless and Embedded System Design



Kontakt Contact

Partner Partner

Gründung und Eröffnung Opening

Prof. Dr. Miloš Krstić (IHP),
 Prof. Dr. Bettina Schnor (UP)
 Universität Potsdam, Institut für Informatik
 und Computational Science
 2014/2015



Die Erforschung und Entwicklung von Methoden und Werkzeugen zur Unterstützung eines effizienten Entwicklungsprozesses komplexer, energieeffizienter und zuverlässiger eingebetteter Chips und Systeme ist ein Hauptaugenmerk des Joint Lab. Im Jahr 2024 lag der Schwerpunkt erneut auf dem BB-KI-Chips-Projekt (BMBF), das sich mit dem Lehransatz für den Entwurf von KI-Hardware befasst. Professor Krstić koordiniert auch dieses komplexe Projekt, das sieben Lehrstühle an zwei Universitäten (Potsdam und TU München) miteinander verbindet. Im Rahmen der Aktivitäten dieses Projekts sind die Organisation der Sommerschule, Exkursionen für Studierende, die Weiterentwicklung des KI-Hardware-Demonstrators und mehrere Demonstrationsaktivitäten auf öffentlichen Veranstaltungen zu nennen. Die Forschungsaktivitäten des Joint Lab umfassten 2024 zwei veröffentlichte Konferenz-/Workshop-Beiträge und fünf Beiträge in Fachzeitschriften, die sich insbesondere mit der KI-Methodik befassten. Ein besonderes Highlight ist der veröffentlichte Beitrag in IEEE Transactions Circuits and Systems I, der sich mit einer neuen Lernengine für spiking neuronale Netze befasst. Darüber hinaus wurden im Jahr 2024 zwei Bachelorarbeiten im Joint Lab verteidigt. Ein weiteres wichtiges Thema des Joint Lab ist die Lehre. Im Jahr 2024 wurden Vorlesungen und Praktika zu Hardware-Architekturen für KI-Anwendungen, Chip-Design, Hardware-Baselines und neuromorphen Architekturen abgehalten. Darüber hinaus sind am Joint Lab sechs studentische Praktikanten aktiv beteiligt, die an den aktuellen Projekten an der Universität und am IHP mitarbeiten.

Research and development of methods and tools for supporting an efficient development process of complex, energy-efficient and reliable embedded chips and systems are a main focus of the Joint Lab. In 2024 a major focus was again on a BB-KI-Chips Project (BMBF) that addresses a teaching approach for designing AI hardware. Prof. Krstić also coordinates this complex project which connects seven chairs at two universities (Potsdam and TU Munich). Within the activities of this project it is important to mention the organisation of the summer school, student excursions, further development of the AI hardware demonstrator, and several demonstration activities at public events. The research activities of the Joint Lab included two published conference/workshop and five journal paper contributions in 2024, addressing in particular the AI methodology. One particular highlight is the published paper in IEEE Transactions Circuits and Systems I, devoted to a new learning engine for spiking neural networks. Moreover, two bachelor's theses have been defended in the Joint Lab in 2024. Another important topic of the Joint Lab is teaching. Lectures and labs on hardware architectures for AI applications, chip design, hardware baselines, and neuromorphic architectures were held within 2024. In addition, six student interns are actively involved in the Joint Lab, working on current projects at the university and at IHP.



Joint Lab-Präsentation beim Potsdamer Tag der Wissenschaft
 Jointlab presentation at Potsdam Day of Science



Semiconductor-based Quantum Computing

Halbleiterbasiertes Quantencomputing



Kontakt Contact

Partner Partner

Gründung und Eröffnung Opening 2024

Dr. Marvin H. Zöllner (IHP),
Prof. Dr. Hendrik Bluhm (RWTH Aachen/FZ Jülich)
RWTH Aachen / FZ Jülich

RWTHAACHEN
UNIVERSITY

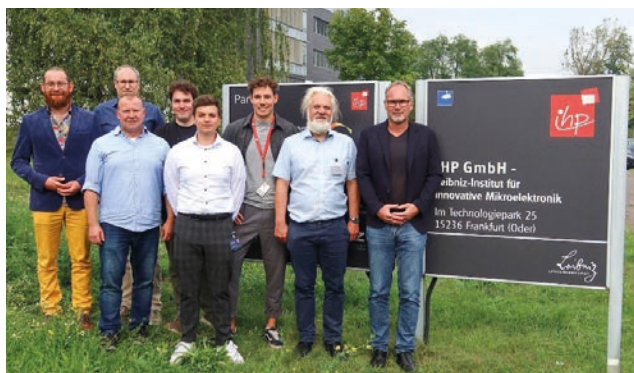
Das Joint Lab zwischen dem IHP, der RWTH Aachen und dem FZ Jülich bündelt ihre komplementären Kompetenzen auf dem Gebiet der Quantentechnologie. Dabei konzentriert sich die wissenschaftliche Aktivität auf den Bereich skalierbarer Quantencomputerarchitekturen und die Verbesserung spinbasierter Qubit- und Multi-Qubit-Operationen. Diese sind notwendig, damit zukünftige universelle Quantencomputer völlig neuartige Ansätze in den Bereichen Datenverarbeitung, Kryptografie und Simulation hervorbringen können.

Im Rahmen von Drittmittelprojekten (QUASAR, QLSI, NextSiGe) zielt die Materialforschung - insbesondere bei Halbleitern der Gruppe IV - auf eine etablierte Prozesslinie für quantenmechanische Bauelemente. Dazu wird am IHP die notwendige Infrastruktur zur Herstellung und Charakterisierung von Quantenbauelementen aufgebaut. Eine eigens installierte Chemische-Gasphasenabscheide-Anlage ermöglicht das Wachstum von isotoopenreinen SiGe-Quantenstrukturen. Im Magneto-Transport-Labor werden zudem Testbauelemente charakterisiert, die erstklassige Ladungsträgermobilitäten aufweisen und so die hohe Qualität der am IHP hergestellten Quantentöpfe widerspiegeln. Das Forschungszentrum Jülich und die RWTH Aachen verfügen komplementär dazu, im Rahmen des gemeinsamen JARA Instituts für Quanteninformation, über ausgewiesene Expertise auf dem Gebiet der Device-Konzeptionierung, Fabrikation und Charakterisierung.

The Joint Lab, between the IHP, RWTH Aachen and FZ Jülich, is pooling their complementary competencies in the field of quantum technology. The scientific activity focuses on scalable quantum computer architectures and improving spin-based qubit and multi-qubit operations. These are necessary so that future universal quantum computers can leverage completely new approaches in the areas of data processing, cryptography and simulation.

In the frame of third-party funded projects (QUASAR, QLSI, NextSiGe), materials research aims to establish a process line for quantum mechanical components, particularly in group IV semiconductors. For this purpose, the required infrastructure for the production and characterisation of quantum devices is being set up at IHP. Especially, an installed chemical vapour deposition system enables the growth of isotopically purified SiGe quantum structures. In the magneto-transport laboratory, test components are also characterised that have first-class charge carrier mobilities and thus reflect the high quality of the quantum wells produced at IHP. In addition, the Forschungszentrum Jülich and RWTH Aachen have proven expertise in the field of device conception, fabrication and characterisation as part of the joint JARA Institute for Quantum Information.

Joint Lab-Eröffnung
Opening of the Joint Lab



More-than-Moore



Kontakt Contact

Partner Partner

Gründung und Eröffnung Opening

Dr. Melik Yazici (IHP)

Prof. Yasar Gurbuz (Sabanci University)

Sabanci University, Istanbul

2014



Das internationale Joint Lab vereint die Expertise der Sabanci University und des IHP zur Entwicklung von mm-Wellen/THz-Bau-elementen und integrierten Schaltungen, basierend auf der SiGe-BiCMOS-Technologie des IHP. Seit 2014 haben über 100 Studierende der Sabanci University Praktika am IHP absolviert, von denen viele als Vollzeit-Doktoranden übernommen wurden und bedeutenden Beiträge zur gemeinsamen Forschung geleistet haben.

Im Jahr 2024 erreichte die Partnerschaft neue Meilensteine. Zehn Bachelor-Studierende nahmen als Erasmus-Praktikanten teil, wodurch sich die Gesamtzahl der gemeinsamen Publikationen auf 53 erhöhte. Erstmals wurden auch Master-Studierende in das Programm aufgenommen, was die akademischen Möglichkeiten erweiterte. Die erneuerte Kooperationsvereinbarung betonte gemeinsame Ziele: die Förderung der Forschung, die Stärkung der Zusammenarbeit, eine stärkere internationale Repräsentation und die Ausrichtung der Bildung an den Forschungszielen beider Institutionen. Kurzezeitäustausche von IHP-Wissenschaftlern förderten den Wissensaustausch und bereicherten die Zusammenarbeit.

Diese Partnerschaft verdeutlicht die komplementären Stärken in Forschung und Bildung, treibt wirkungsvolle Projekte und Publikationen voran, zieht Spitzenkräfte an und fördert Innovationen, während sie eine starke internationale Repräsentation sicherstellt.

The international Joint Lab combines expertise from Sabanci University and IHP to develop mm-wave/THz devices and integrated circuits based on IHP's SiGe BiCMOS technologies. Since 2014, over 100 Sabanci students have completed internships at IHP, with many becoming full-time doctoral students and significantly contributing to joint research efforts.

In 2024, the partnership reached new heights. Ten undergraduate students participated as Erasmus interns, raising the total number of joint publications to 53. For the first time, master-level students joined, expanding academic opportunities. The renewed collaboration agreement emphasised shared goals: advancing research, enhancing cooperation, achieving stronger international representation, and aligning education with both institutions' research objectives. Short-term exchanges of IHP scientists fostered knowledge transfer and enriched the collaboration.

This partnership exemplifies complementary strengths in research and education, driving impactful projects and publications, attracting top talent, and enhancing innovation while ensuring strong international representation.



IHP Besuch an der Sabanci Universität
IHP visit at the Sabanci University

Verteilte Messsysteme und drahtlose Sensornetzwerke

Distributed Measurement Systems and Wireless Sensor Networks



Kontakt Contact

Partner Partner

Gründung und Eröffnung Opening 2012/2013

Prof. Dr.-Ing. Krzysztof Piotrowski (IHP),
Prof. Dr. Ryszard Rybski (UZ)
University of Zielona Gora



UNIVERSITY
OF ZIELONA GÓRA

In diesem Joint Lab werden alle Aspekte praktischer Ansätze für verteilte Messsysteme untersucht. Zu diesen Systemen gehört ein Sensornetzwerk (auch bekannt als Internet der Dinge – IoT oder Cyber-Physical System – CPS), das in der überwachten Umgebung installiert ist und mit dieser interagiert. Dieses Sensornetzwerk kommuniziert mit dem leistungsstärkeren Teil des Messsystems, beispielsweise in der Cloud. Diese Kombination ermöglicht die Implementierung von Anwendungen in Bereichen wie Umweltüberwachung, Smart Grid, Smart City und dergleichen. Solche Anwendungen verarbeiten sehr große Datenmengen aus mehreren Quellen und von mehreren Eigentümern. Sie erfordern Zuverlässigkeit und Sicherheit, was zusammen mit einem weiteren wichtigen Merkmal verteilter Systeme – der Verfügbarkeit – die Entwicklung solcher Messsysteme nicht trivial macht.

Die Zusammenarbeit mit der Universität Zielona Gora, auf der das Joint Lab basiert, wurde im Februar 2016 vertraglich vereinbart und konzentriert sich auf gemeinsame Lehrtätigkeiten sowie fachspezifische Projekte.

In diesem Themenbereich wurden mehrere Forschungsprojekte realisiert, wie z. B. SmartGrid Platform (EU INTERREG), SmartRiver (EU INTERREG), ebalance-plus (EU H2020), AMMOD (BMBF), SpaceRegion (INTERREG). Die Folgeprojekte, wie z. B. SmartRiver2 (EU INTERREG), MobiRobAI (EU INTERREG), sollen in Kürze gestartet werden.

Im Rahmen der Zusammenarbeit wurden auch mehrere Abschlussarbeiten realisiert – 18 Bachelorarbeiten und acht Masterarbeiten – seit 2018. Seit 2017 wurden außerdem über 40 Publikationen veröffentlicht.

All aspects of practical approaches to distributed measurement systems are investigated in this Joint Lab. Such systems include a sensor network (also known as Internet of Things - IoT, or Cyber-Physical System - CPS) installed in and interacting with the monitored environment. This network of sensors communicates with the more powerful part of the measurement system, for example, in the cloud. This combination makes it possible to implement applications in areas such as environmental monitoring, smart grid, smart city and the like. Such applications process very large amounts of data from multiple sources and multiple owners. They require reliability and security, which, together with another important characteristic of distributed systems - availability - makes the development of such measurement systems non-trivial.

The cooperation with the University of Zielona Gora, on which the Joint Lab is based, was contractually agreed in February 2016 and is focusing on joint teaching activities as well as subject-specific projects.

There are several research projects that have been realised in this subject area, such as SmartGrid Platform (EU INTERREG), SmartRiver (EU INTERREG), ebalance-plus (EU H2020), AMMOD (BMBF), SpaceRegion (INTERREG). The follow-up projects, such as SmartRiver2 (EU INTERREG), MobiRobAI (EU INTERREG) are to be started soon.

Several theses have also been realised as part of the cooperation - 18 Bachelor's theses and 8 Master's theses since 2018. Over 40 publications have also been published since 2017.

Siliziumphotonik

Silicon Photonics



Kontakt Contact
Partner Partner

Gründung und Eröffnung Opening

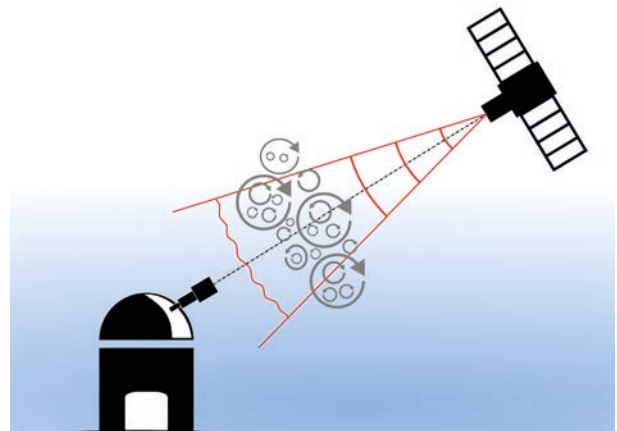
Prof. Dr. Lars Zimmermann (TU Berlin/IHP)
Technische Universität Berlin, Institut für
Hochfrequenz- und Halbleiter-Systemtechnologien
2010



Das Curriculum des Gemeinschaftslabors umfasste im Wintersemester eine Vorlesung (Silicon Photonics) und ein Seminar (Group IV Photonics). Im Sommersemester wurde ein neues Modul zu Grundlagen und Entwurf photonischer integrierter Schaltungen (PICDA, gemeinsam mit KIT und RWTH Aachen) angeboten. Im Jahr 2024 konnten drei Masterarbeiten und eine Bachelorarbeit abgeschlossen werden. Eine der Masterarbeiten aus dem Jahr 2024 - Matthieu Oberon, Kohärente Satellitenverbindungen auf Basis von Silizium-Photonik-Komponenten - wurde mit dem Friedrich-Wilhelm-Gundlach-Preis ausgezeichnet. Die meisten Forschungsarbeiten im Rahmen des gemeinsamen Labors betrafen die Weiterentwicklung von optoelektronischen SiGe-Hochgeschwindigkeitsgeräten, wie Detektoren und Modulatoren. Besonders erwähnenswert ist, dass wir 2024 einen erstklassigen Beitrag zur European Conference on Optical Communications ECOC beisteuerten, was zu einer Einladung für die Konferenzausgabe des IEEE Journal of Lightwave Technology führte.

The curriculum of the Joint Lab, comprised for the winter semester, one lecture (Silicon Photonics) and a seminar (Group IV Photonics). For the summer semester, a new module encompassing photonic integrated circuit fundamentals and design (PICDA, jointly with KIT and RWTH Aachen) was offered. In 2024, three master's theses and one bachelor's thesis were finished. One of the master works in 2024 - Matthieu Oberon, Coherent satellite links based on silicon photonics components - received the Friedrich-Wilhelm Gundlach award. The majority of the research in the frame of the Joint Lab concerned advancing high-speed optoelectronic SiGe devices such as detectors and modulators. Notably, in 2024 we contributed a top-scored paper to the European Conference on Optical Communications ECOC, resulting in an invitation for the conference edition of the IEEE Journal of Lightwave Technology.

Illustration aus der Masterarbeit von Matthieu Oberon, Kohärente Satellitenverbindungen auf Basis von Silizium-Photonik-Komponenten
Illustration from Matthieu Oberon's master's thesis, Coherent satellite links based on silicon photonics components



Intelligente elektrooptische Sensorik

Intelligent electro-optical sensing



Kontakt Contact

Partner Partner

Gründung und Eröffnung Opening

Prof. Dr. Giovanni Capellini (IHP),
Prof. Dr. Alessandra di Masi (Roma Tre)
University of Zielona Gora
2024



Unter Ausnutzung der vielfältigen und komplexen Wechselwirkungen zwischen Nanomaterialien und biologischen Systemen liegt der Forschungsschwerpunkt des Joint Lab auf der Entwicklung intelligenter elektrooptischer Sensorplattformen. Im Rahmen dieser Zusammenarbeit konzentrieren sich die Partner auf mehrere zentrale Bereiche. Ein Schwerpunkt liegt auf der Grundlagenforschung zur Entwicklung und Konstruktion von Halbleitermaterialien der Gruppe IV, insbesondere SiGeSn und Graphen. Diese Materialien ermöglichen die Realisierung siliziumbasierter, elektronisch-photonischer integrierter Schaltkreise, die im NIR-FIR-Bereich arbeiten, sowie die Entwicklung innovativer integrierter elektronischer Systeme wie Qubits und Spintronik-Geräte.

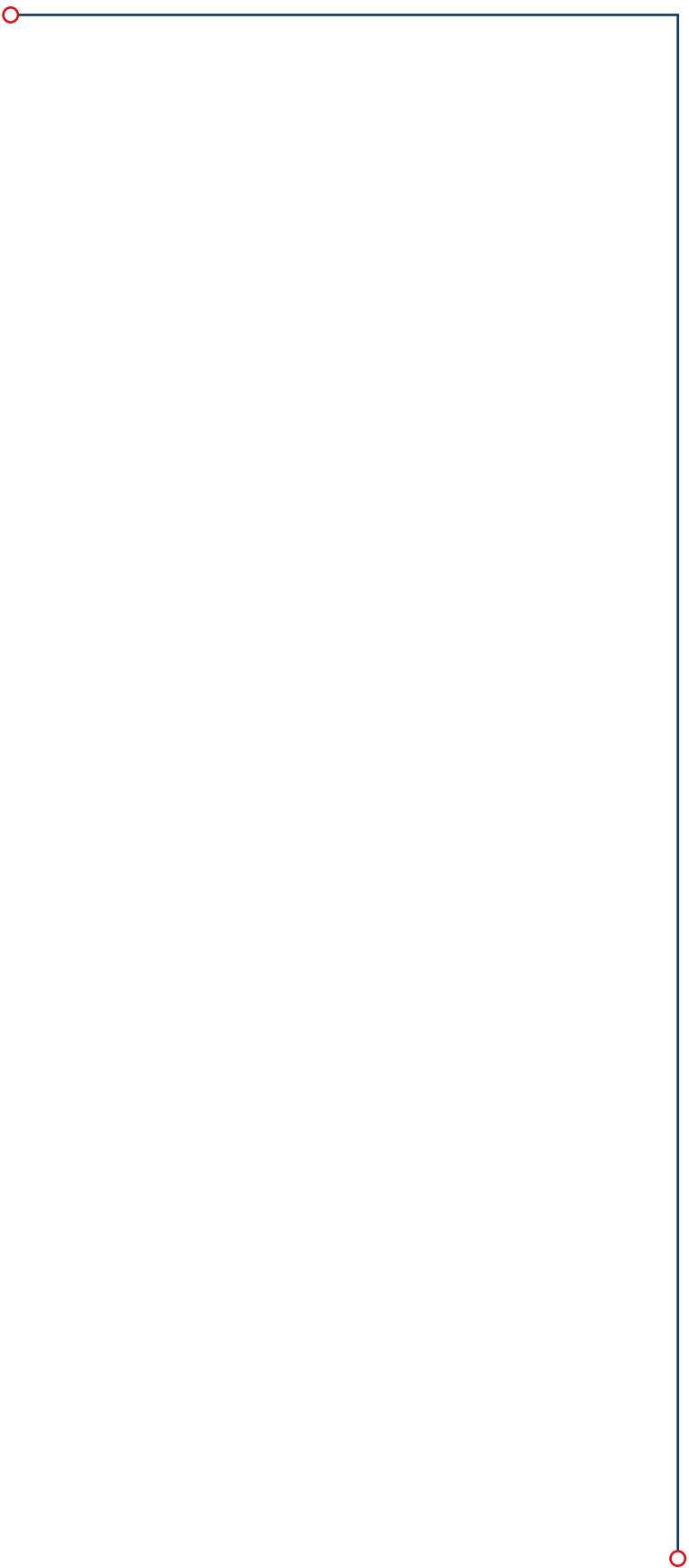
Darüber hinaus widmet sich das Joint Lab der Entwicklung innovativer Geräte und Systeme, die neue Funktionen für die „in silico“-Technologieplattform ermöglichen. Dazu gehören Anwendungen wie Biomolekül-Sensorik, Gewebezüchtung, regenerative Medizin, Arzneimittelabgabe und Diagnostik.

Die Zusammenarbeit bündelt die Expertise des IHP und der Fakultät für Naturwissenschaften der Universität Roma Tre (Rom, Italien) in drei zentralen Forschungsbereichen: Halbleiter-SiGeSn-Materialien, biomedizinische Wissenschaften und Bauelemente einschließlich Biosensoren und Nanotoxikologie sowie Mikrofluidik-Technologien für Lab-on-a-Chip-Biosensorikanwendungen.

Taking advantage of the multiple and complex interactions between nanomaterials and biological systems, the Joint Lab focuses its research on the development of intelligent electro-optical sensing platforms. Within this collaboration, the partners concentrate on key areas, including fundamental research on the development and engineering of group IV semiconductor materials, such as SiGeSn and graphene. These materials enable the realisation of silicon-based electronic-photonic integrated circuits operating in the NIR-FIR range, as well as the advancement of innovative integrated electronic systems, including qubits and spintronic devices. In addition, the Joint Lab is dedicated to the development of innovative devices and systems that introduce new functionalities to the "in silico" technology platform. These applications include biomolecule sensing, tissue engineering, regenerative medicine, drug delivery, and diagnostics. This partnership brings together the expertise of IHP and the Department of Sciences at the University of Roma Tre (Rome, Italy) across three major research areas: semiconductor SiGeSn materials, biomedical sciences and devices—including biosensors and nanotoxicology—and microfluidic technologies for lab-on-chip biosensing applications.

Joint Lab-Eröffnung
Opening of the Joint Lab





Engagement am Standort Cottbus

Commitment for the Cottbus Site

Mit vier gemeinsamen Berufungen existiert seit Jahren eine sehr enge Forschungs Kooperation mit der BTU Cottbus-Senftenberg. Mit der BTU werden ein Joint Lab Zuverlässige Sensornetzwerke sowie ein Joint Research Center betrieben. Gleichzeitig ist das IHP ein zentraler Partner in den aus Strukturstärkungsmitteln finanzierten Projekten Innovations Campus Cottbus für mikroelektronische und mikrosensorische Systeme (ICampus) und OASYS. Die langjährige Zusammenarbeit zwischen dem IHP und der BTU Cottbus-Senftenberg im Rahmen von Initiativen wie ICampus und OASYS hat es ermöglicht, anwendungsorientierte Mikrosensorlösungen zu entwickeln, die sowohl innovativ als auch praktisch sind.

Im Rahmen vom ICampus wird eine fortschrittliche medizinische Radartechnologie für die kontinuierliche und kontaktlose Überwachung von Vitalsignalen an Patienten entwickelt. Hochintegrierte, leistungsstarke Radarsensorchips können zur genauen Messung von Vitalparametern wie Herz- und Atemfrequenz eingesetzt werden. Dieser neuartige Ansatz ermöglicht eine zuverlässige Gesundheitsüberwachung ohne physischen Kontakt, was besonders in Krankenhäusern und Pflegeeinrichtungen von Vorteil ist. Das Forschungskonsortium hat sich zum Ziel gesetzt, tragbare Anwendungen zu entwickeln, um die Patientenversorgung zu verbessern und die Ausbreitung von Krankheiten zu minimieren.

Das IHP verfügt über besondere Fachkenntnisse bei der Integration fortschrittlicher Materialien wie Germanium für infrarotbasierte Anwendungen. Das 2023 gestartete OASYS-Projekt nutzt Germanium zur Messung von Lichtsignalen im Infrarotbereich. Das Projekt konzentriert sich auf die Entwicklung skalierbarer und siliziumkompatibler Sensormodule, die auf spezifische Anwendungsanforderungen zugeschnitten sind. Die Sensoren sind für den Einsatz in Spektrometern und Multihyperspektralkameras vorgesehen. Diese können in verschiedenen Bereichen eingesetzt werden, z. B. zur Überwachung der Qualität von Lebensmitteln und Agrarprodukten, zur Verbesserung industrieller Fertigungsprozesse und sogar zur Gewährleistung der Sicherheit durch die Erkennung von Objekten wie Menschen, Tieren oder Fremdkörpern in realen Umgebungen.

Die Zusammenarbeit mit der BTU und außeruniversitären Partnern der Fraunhofer-Gesellschaft und des Deutschen Zentrums für Luft- und Raumfahrt (DLR) wird in den strategischen Forschungsfeldern KI & Sensorik, Gesundheitswesen und Energiewende der BTU Lausitz Science Park kontinuierlich intensiviert. Mit dieser Kooperation trägt das IHP zur dynamischen Entwicklung der Region Cottbus

The close research collaboration between BTU Cottbus-Senftenberg and IHP reaches back to 1998. Today this research cooperation is supported by four joint professorships, a Joint Lab for Reliable Sensor Networks and a Joint Research Centre. At the same time, the IHP is a key partner in the Innovation Campus Cottbus (ICampus) for Microelectronics and Microsensory Systems and the OASYS projects, which are funded by the Structural Strengthening Fund. The long-standing cooperation between the IHP and the BTU Cottbus-Senftenberg in the context of initiatives such as ICampus and OASYS has made it possible to develop highly innovative and application-oriented microsensor solutions.

Within the ICampus project advanced medical radar technology for continuous and contactless patient monitoring has been developed. Highly integrated, high-performance radar sensor chips can be used to accurately measure vital parameters such as heart and respiratory rates. This innovative approach enables reliable health monitoring without physical contact, which is particularly beneficial in hospitals and care facilities. The research consortium aims to develop wearable applications to improve patient comfort and minimise the spread of disease.

IHP has particular expertise in the integration of advanced materials such as germanium for infrared-based applications. Launched in 2023, the OASYS project uses germanium to measure light signals in the infrared range. This technology is used in areas



IHP-Räumlichkeiten in der Nordstraße, Cottbus
IHP site in Nordstraße, Cottbus

zu einem führenden Forschungsstandort bei. Um diese dynamische Entwicklung zu unterstützen, ist das IHP Gründungsmitglied und der Wissenschaftlich-Technische Geschäftsführer Mitglied im Vorstand des Lausitz Science Network, das sich zum Ziel gesetzt hat, den Wissenschaftsstandort Cottbus langfristig und nachhaltig zu fördern.

Mit Leibniz@Lausitz ist unter der Führung des IHP ein dauerhafter Standort verschiedener Leibniz-Institute, die zu den Profilen des Lausitz Science Parks und der BTU beitragen können, geplant. Ziel ist die interdisziplinäre Forschung an komplexen Lausitz-relevanten Themen unter einem Dach im unmittelbaren Umfeld der BTU und weiteren außeruniversitären Forschungseinrichtungen. In einer ersten Phase nutzt das IHP für dieses Vorhaben seit Juli 2023 angemietete Räumlichkeiten im direkten Umfeld der BTU. Die Phase II sieht einen eigenen Leibniz-Bau in unmittelbarer Nachbarschaft der Fraunhofer-Institute und des DLR auf dem Gelände nördlich der BTU vor. Ziel ist die Verfügbarkeit des Gebäudes bis 2029.

such as plant and food monitoring. The project is focused on developing scalable and silicon-compatible sensor modules tailored to specific application requirements. The sensors are intended for use in spectrometers and multihyperspectral cameras. These can be applied across various fields, such as monitoring the quality of food and agricultural products, enhancing industrial manufacturing processes, and even ensuring safety by detecting objects like people, animals, or foreign objects in real-world environments.

The collaboration with the BTU and non-university partners of the Fraunhofer Society and the German Aerospace Center (DLR) is constantly being intensified in the strategic research fields AI & Sensory Systems, Health Care and Energy transition of the BTU Lausitz Science Park. With this collaboration IHP contributes to the high dynamic development of the Cottbus regional area as a leading research location. To support this dynamic development, the IHP is a founding member, and the Scientific-Technical Managing Director is a member of the board of the Lausitz Science Network, which has set itself the goal of promoting Cottbus as a science location in the long term and on a sustainable basis.

Leibniz@Lausitz, under the leadership of the IHP, is a permanent research site for various Leibniz institutes that can contribute to the research profiles of the Lausitz Science Park and the BTU. The aim is to enable interdisciplinary research on complex topics with high social relevance and relevance to Lusatia under one roof in the immediate vicinity of the BTU and other non-university research institutions. In a first phase IHP has rented premises in the immediate vicinity of the BTU since 2023. Phase II envisages a dedicated Leibniz building in the immediate vicinity of the Fraunhofer Institutes and the DLR on the site north of the BTU. The aim is to have the building available by 2029.

Forschungsfabrik Mikroelektronik Deutschland

Research Fab Microelectronics Germany

Die Forschungsfabrik Mikroelektronik Deutschland (FMD) bündelt das Know-how und die technologische Infrastruktur ihrer 15 kooperierenden Institute aus Fraunhofer-Gesellschaft und Leibniz-Gemeinschaft über ganz Deutschland hinweg. Sie bietet wissenschaftlich exzellente, anwendungsorientierte Technologien und Systemlösungen für eine zukunftsträchtige Mikroelektronik und leistet somit einen entscheidenden Beitrag zur technologischen Resilienz Deutschlands und Europas. Das IHP ist eines der in der FMD kooperierenden Institute.

Chiplet-Innovationen für Europa: APECS-Pilotlinie im Rahmen des EU-ChipsActs gestartet

Die Pilotlinie für Advanced Packaging und Heterogene Integration elektronischer Komponenten und Systeme (APECS), gestartet Ende 2024, ist ein zentraler Bestandteil des EU-ChipsActs. Sie soll Chiplet-Innovationen vorantreiben und die Halbleiterforschung sowie -produktion in Europa stärken. APECS konzentriert sich auf heterogene Integration und adressiert den Bedarf an fortschrittlichem Packaging verschiedenster Technologien wie CMOS, SiGe und III/V-Interconnects für die nächste Generation elektronischer Systeme. Dies passt ideal zu IHPs Expertise im Bereich leistungstarker Silizium-Germanium-(SiGe)-Technologien.

Die im FMD kooperierenden Institute arbeiten eng mit europäischen Partnern an der Umsetzung der APECS-Pilotlinie und leisten

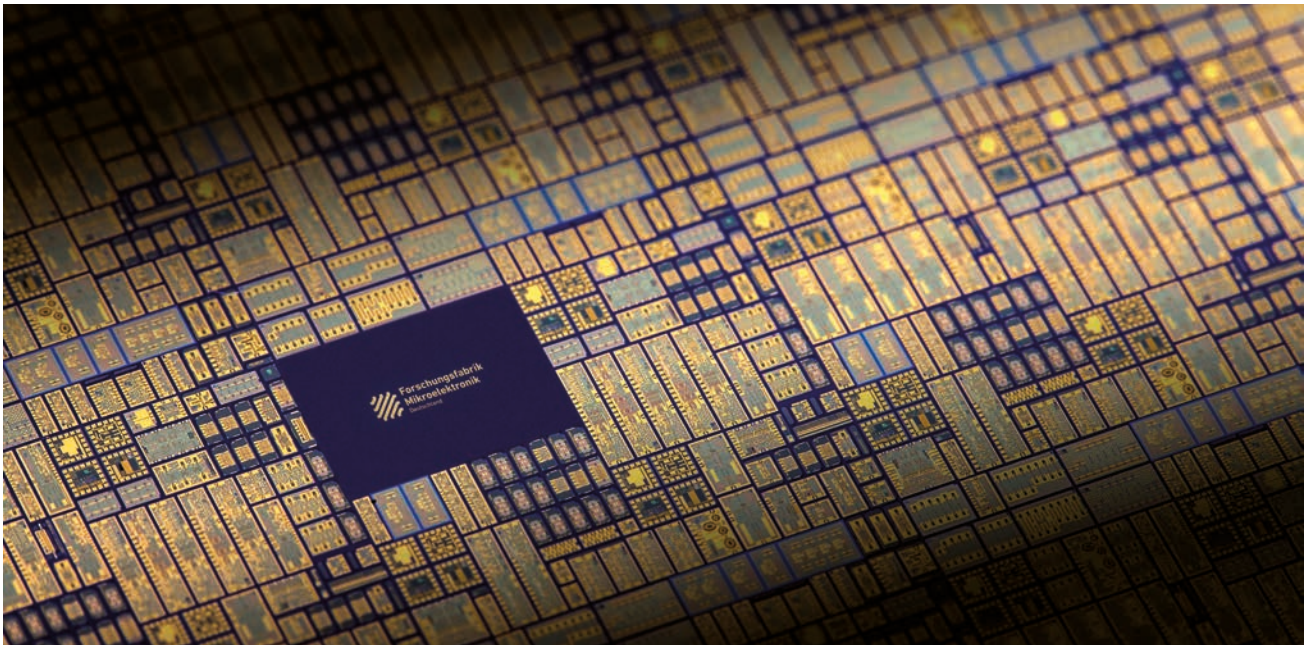
The Research Fab Microelectronics Germany (FMD for its acronym in German) brings together the expertise and technological infrastructure of its 15 cooperating institutes across Germany, which are part of the Fraunhofer-Gesellschaft and the Leibniz Association. The FMD provides cutting-edge application-oriented technologies and system solutions for promising microelectronics. Thus, the FMD contributes significantly to the technological resilience of Germany and Europe. The IHP is one of the institutes cooperating within the FMD.

Chiplet Innovation for Europe: The APECS Pilot Line has been launched under the EU-ChipsAct

The pilot line for Advanced Packaging and Heterogeneous Integration for Electronic Components and Systems (APECS), launched at the end of 2024, is a key part of the EU-ChipsAct. It aims to drive chiplet innovation and strengthen semiconductor research and manufacturing in Europe. APECS focuses on heterogeneous integration and addresses the need for advanced packaging of technologies such as CMOS, SiGe, and III/V interconnects to enable next-generation electronics. This aligns closely with IHP's expertise in high-performance Silicon Germanium (SiGe) technologies.

FMD institutes are working closely with European partners to implement the APECS pilot line, contributing to Europe's technological resilience and global competitiveness.





damit einen wichtigen Beitrag zur technologischen Souveränität und globalen Wettbewerbsfähigkeit Europas.

Durch den erleichterten Zugang zu Spitzentechnologien für Industrie, KMU und Start-ups unterstützt APECS den Aufbau einer robusten europäischen Halbleiter-Lieferkette. Die Initiative wird durch das Chips Joint Undertaking sowie nationale Förderbehörden aus Österreich, Belgien, Finnland, Frankreich, Deutschland, Griechenland, Portugal und Spanien kofinanziert. Insgesamt stehen für APECS 730 Millionen Euro über 4,5 Jahre zur Verfügung.

Vernetzung von Forschung, Industrie und Politik

Mit regelmäßigen Events im Rahmen der institutsübergreifenden Großprojekte wie »Green ICT @ FMD« (Kompetenzzentrum für eine ressourcenbewusste Informations- und Kommunikationstechnik IKT) oder »FMD-QNC« (»Forschungsfabrik Mikroelektronik Deutschland – Module Quanten- und neuromorphes Computing«) bringt die FMD wichtige Stakeholder zusammen, um die künftigen Herausforderungen der Elektronikforschung gemeinsam anzugehen und entscheidende Entwicklungsimpulse für die Technologie von Morgen zu geben (mehr über die Beiträge des IHP zu Green ICT und FMD-QNC finden Sie auf Seite 36).

Green ICT Connect: Im Oktober 2024 fand bereits die zweite Fachkonferenz zu nachhaltigen Informations- und Kommunikationstechnologien (IKT) statt. Die Green ICT Connect ist eine Schlüsselveranstaltung für den Austausch und die Vernetzung von Wissenschaft, Wirtschaft und Politik, bei der durch gezielte Diskussionen und Präsentationen nachhaltige Mikroelektronik bewusst gefördert wird und innovative Ansätze und Technologien im Fokus stehen. Besonders kleinen und mittleren Unternehmen (KMU) soll

By providing easier access to cutting-edge technology for industry, SMEs, and start-ups, APECS supports a robust European semiconductor supply chain. It is co-funded by the Chips Joint Undertaking and national authorities from Austria, Belgium, Finland, France, Germany, Greece, Portugal, and Spain, with total funding of €730 million over 4.5 years.

Building Bridges between Research, Industry and Politics

By regularly organising events as part of major joint projects involving multiple institutes, such as the Green ICT @ FMD ("Competence Center for Sustainable Information and Communication Technology") or the FMD-QNC ("Research Fab Microelectronics Germany - Quantum and Neuromorphic Computing Modules"), the FMD gathers key stakeholders to jointly address the future challenges of electronics research while boosting the development of tomorrow's technology (more about IHP's contributions to Green ICT and FMD-QNC on page 36). **cGreen ICT Connect:** The second conference on sustainable information and communication technologies (ICT) was held as early as October 2024. The Green ICT Connect is a central event that promotes the exchange of ideas and networking among key representatives from the worlds of research, industry, and politics. Through panel discussions and expert talks, the conference aims to foster sustainable microelectronics with a focus on innovative approaches and technologies. A further purpose of this event lies in familiarising small and medium-sized enterprises (SMEs) with the portfolio of the Green ICT @ FMD competence center.

QNC Summit and FMD Innovation Day: The first conference on Quantum and Neuromorphic Computing (QNC) was held in April 2024. QNC was also the focus of FMD Innovation Day 2024. Both

damit das Angebot des Kompetenzzentrums »Green ICT @ FMD« nähergebracht werden.

QNC Summit und FMD Innovation Day: Die erste Fachkonferenz zum Thema Quanten- und neuromorphes Computing (QNC) fand im April 2024 statt. Auch der FMD Innovation Day 2024 hatte das Thema QNC als Schwerpunkt. Beide Veranstaltungen boten Expertinnen und Experten aus Forschung, Wirtschaft und Politik ein Forum, um sich plattformübergreifend über Hardwareentwicklungen im Bereich QNC auszutauschen und wissenschaftliche und technologische Herausforderungen zu definieren sowie Synergien im Bereich der Enabling-Technologien zu identifizieren und sich zu vernetzen.

Forschen. Vernetzen. Vorankommen!

Auch Frauen gestalten die Mikroelektronik von morgen: Die FMD unterstützt die Förderung von Wissenschaftlerinnen in der Mikroelektronikbranche und macht sich stark, das Bewusstsein für die Bedeutung von Chancengleichheit in der Mikroelektronik zu schärfen und berufliche Herausforderungen kollektiv anzugehen.

Ein Beitrag dafür ist das Wissenschaftlerinnen-Frühstück, das bereits erfolgreich im Rahmen des QNC Summits 2024 und der Green ICT Connect 2024 etabliert wurde. Das Wissenschaftlerinnen-Frühstück bietet eine ideale Gelegenheit für Studentinnen, Berufseinsteigerinnen und (angehende) Wissenschaftlerinnen, sich zu vernetzen und von erfahrenen weiblichen Role-Models aus Wissenschaft und Industrie zu lernen. In einem lockeren Rahmen erwarten die Teilnehmerinnen spannende Impulsvorträge, eine Q&A-Session und die Möglichkeit, sich mit anderen Frauen aus der Mikroelektronik-Branche auszutauschen.

FMD als einer der vier Partner des Netzwerks »Chipdesign Germany«

Um die in Deutschland noch vorhandene Chipdesign-Kompetenz zu vernetzen und zu erweitern, baut die FMD gemeinsam mit den anderen drei Kooperationspartnern edacentrum, der Leibniz Universität Hannover und der Rheinland-Pfälzischen Technischen Universität Kaiserslautern-Landau eine Plattform für den vorwettbewerblichen, offenen Austausch zwischen allen am Chipdesign beteiligten Akteuren auf. Die Plattform dient als zentrale Anlaufstelle zu diesem Thema in Deutschland und entwickelt sowie vernetzt Maßnahmen zur Aus- und Weiterbildung von Nachwuchskräften, zum Technologie-Monitoring, zur Unterstützung von Start-ups sowie KMU in der Mikroelektronik und der Wissenschaftskommunikation, um die Gesellschaft für das Thema zu sensibilisieren. Die Auftaktveranstaltung für das Netzwerk fand im Juni 2024 statt.

events provided a platform for research experts, industry representatives as well as policy-makers to share their insights on hardware developments in the field of QNC. Furthermore, both events served as a forum to jointly define research and technological challenges while also providing an opportunity to identify synergies within the realm of enabling technologies.

Research. Connect. Move Forward!

Women as well shape the microelectronics of tomorrow: The FMD is committed to advancing the role of female scientists in microelectronics by raising awareness about the importance of equal opportunities and fostering collective solutions to professional challenges in this field. An example of this is the Female Scientist Breakfast, which has already been successfully established as a regular slot of both the QNC Summit 2024 and the Green ICT Connect 2024.

The Female Scientist Breakfast provides an ideal setting for female undergraduates, young professionals, and (aspiring) women scientists to connect and gain insights from inspiring female role models in academia and industry. This casual gathering features engaging keynote talks, a Q&A session, and opportunities to share experiences with other women in the microelectronics field.

The FMD as One of the Four Partners of the "Chipdesign Germany" Network

Aiming to connect and expand the existing chip design expertise in Germany, the FMD, together with the other three cooperation partners edacentrum, Leibniz University Hannover and University of Kaiserslautern-Landau in Rhineland-Palatinate, have created a platform for a pre-competitive, transparent exchange between all stakeholders involved in chip design. The network acts as a central point of contact in Germany for all matters related to this topic. As such, Chipdesign Germany develops and implements measures for training and further education of young professionals, technology monitoring, support for start-ups and SMEs in microelectronics, as well as science communication to raise public awareness of chip design. The kick-off event for the network took place in June 2024.

Securing Skilled Workers, Attracting Young Talents, Supporting Start-ups and SMEs

Besides its wide technological portfolio, the various cooperation opportunities it provides and the coordination of large collaborative projects, the FMD also has accelerators dedicated to the support of start-ups, SMEs and research groups along with

Fachkräfte sichern, Nachwuchs gewinnen, Start-ups und KMU unterstützen

Neben den technologischen Angeboten, unterschiedlichen Kooperationsmöglichkeiten und der Koordination großer Verbundprojekte bietet die FMD zudem Formate und Förderprogramme für Studierende, Berufseinsteigende, Start-ups, KMU und Forschungsgruppen an.

Green ICT Award: Der Studienpreis – der bereits zwei Mal verliehen worden ist – wird im Rahmen des Kompetenzzentrums »Green ICT @ FMD« vergeben, um herausragende Bachelor- und Masterabschlussarbeiten zu ressourcenschonender Informations- und Kommunikationstechnologie auszuzeichnen.

Green ICT Camp: Anfang September 2024 richtete die FMD das erste »Green ICT Camp« aus – eine einwöchige Studierendenakademie, die im Jahr 2025 fortgesetzt wird und den studentischen Nachwuchs im Bereich nachhaltiger Mikroelektronik begeistern, sensibilisieren und vernetzen soll.

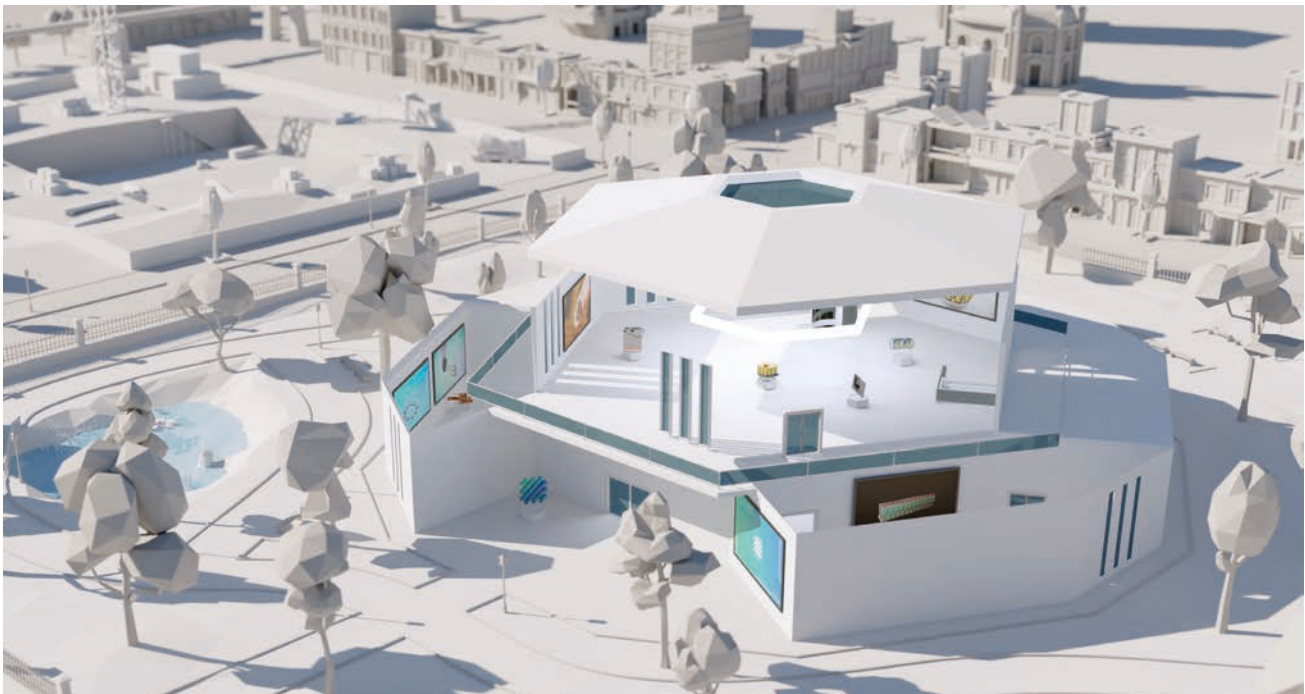
(Deep Tech) Accelerators: Die 2022 ins Leben gerufenen Programme »Green ICT Space« und »QNC Space«, innerhalb der Projekte Green ICT @ FMD und FMD-QNC, haben verschiedene Institutionen für ressourcenschonende bzw. Enabling-Technologien zusammengebracht und laufen noch bis zum jeweiligen Projektende. Im Fokus steht die Förderung von Start-ups, Forschungsgruppen und KMU.

programmes designed exclusively for students and young professionals.

The Green ICT Award: This student prize, which has already been conferred twice, honours outstanding bachelor's and master's theses on the subject of resource-efficient information and communication technology. The Green ICT Award is part of the activities of the "Green ICT @ FMD" competence center.

The Green ICT Camp: This week-long programme for students is designed to inspire, engage and bring together young students in the field of sustainable microelectronics. The first edition of the camp took place in early September 2024. Further camps will continue to be held in 2025.

The (Deep Tech) Accelerators: Launched in 2022 as part of the Green ICT @ FMD and FMD-QNC projects, the Green ICT Space and QNC Space programmes are primarily oriented to support start-ups, SMEs and research groups. Both accelerators have brought together numerous players to work respectively on resource-saving and enabling technologies. The activities undertaken in this context will be pursued until the conclusion of the underlying projects.



3D-Showroom der FMD
FMD's 3D showroom



Mehr zu Green ICT



More about Green ICT



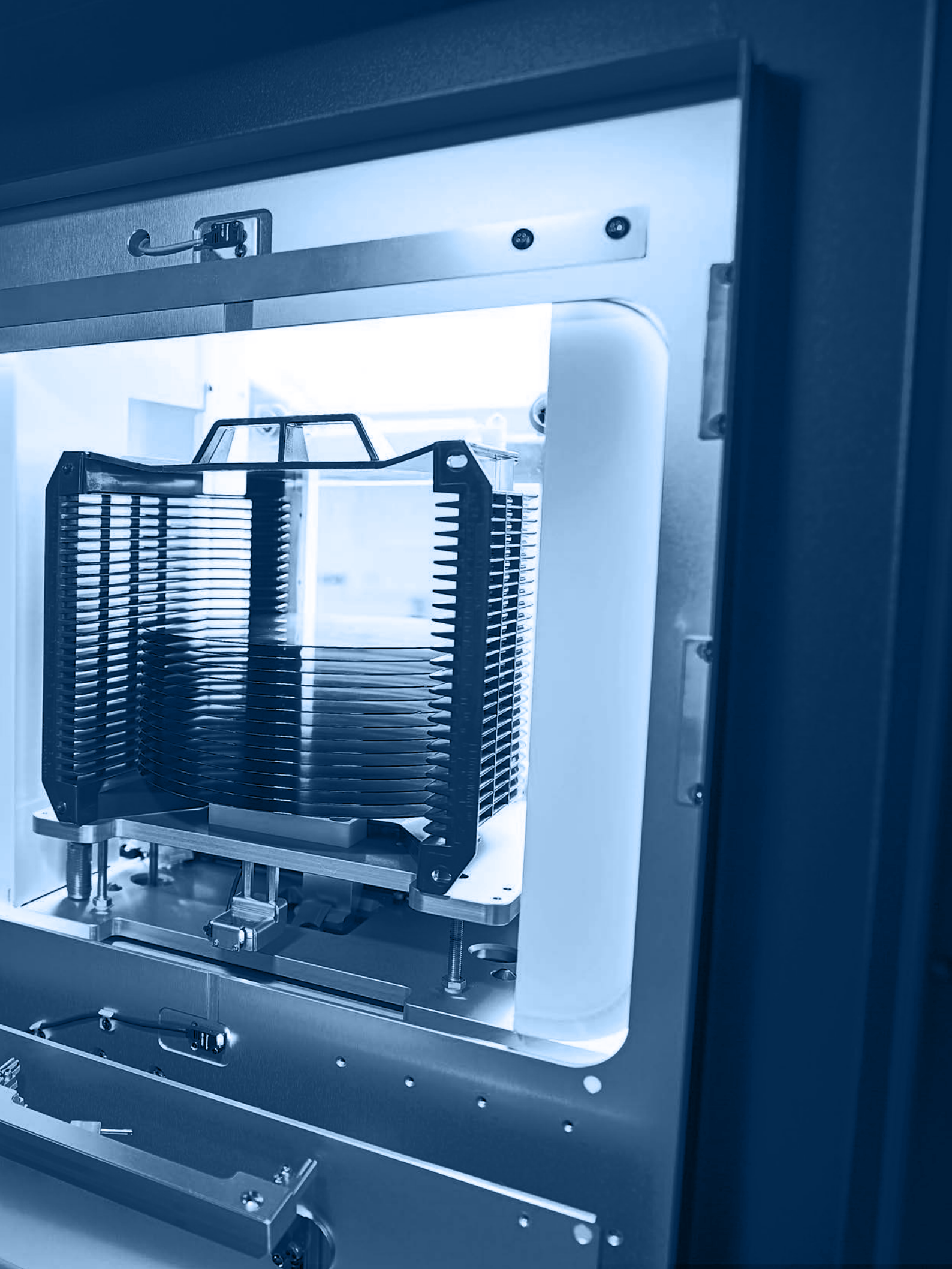
Mehr zum FMD-QNC



More about FMD-QNC

ANGEBOTE UND LEISTUNGEN OFFERS AND SERVICES





Angebote und Leistungen

Offers and Services

Multi-Project-Wafer (MPW) - und Prototyping Service

Multi Project Wafer (MPW) and Prototyping Service

Das IHP bietet Forschungspartnern und Kunden Zugang zu seinen leistungsstarken SiGe-BiCMOS-Technologien mit speziellen integrierten RF- und Silizium-Photonik-Modulen.

Weiterhin bietet das IHP einen Multi Project Wafer Service mit 0,13- und 0,25- μm -SiGe-BiCMOS-Technologien auf 8"-Silizium-Wafern an. Integrierte SiGe-Heterobipolartransistoren mit 450 GHz f_{max} sind für Forschung und Produktdesign qualifiziert, Bauelemente mit bis zu 650 GHz f_{max} sind in Entwicklung und wurden erstmals 2023 als frühzeitiger Zugang für Forschungs- und Benchmarking-Projekte angeboten. Weiterhin ist ein Cadence-basiertes Mixed-Signal-Design-Kit verfügbar. Für Hochfrequenz-Designs kann ein analoges Design Kit mit Keysight ADS verwendet werden.

IHP offers research partners and customers access to its powerful SiGe BiCMOS technologies with dedicated integrated RF and silicon photonics modules.

IHP provides a Multi Project Wafer Service with 0.13 and 0.25 μm SiGe BiCMOS technologies on 8" silicon wafers. Integrated SiGe heterobipolar transistors with 450 GHz f_{max} are qualified for research and product design, devices with up to 650 GHz f_{max} are under development and will be offered for the first time 2023 as early access for research and benchmarking projects. A Cadence-based mixed-signal design kit is available. For high frequency designs an analog Design Kit using Keysight ADS can be used.

Open-Source PDK

Der Ansatz Open-Source-Software/Tools und Open-Source-IP für die Entwicklung mikroelektronischer Systeme zu verwenden, ist durch die offenliegenden Quellen eine wichtige Komponente zur Realisierung von vertrauenswürdiger Elektronik und zur Sicherstellung der technologischen Souveränität Deutschlands und Europas. Das IHP leistet mit seiner Forschung dazu einen wichtigen Beitrag.

Seit 2023 entwickelt das IHP ein Open-Source Process Design Kit (PDK) in 130 nm BiCMOS für Analog/Digital, Mixed Signal und RF ASIC Design an. Damit wollen wir einen niederschweligen Zugang zur IHP-eigenen Technologie und PDK für Chipdesigner, Entwickler offener EDA-Software und akademische Projekte ermöglichen. Die erstellten Open-Source Designs sollen im IHP-Reinraum gefertigt werden. Um den Open-Source-Ansatz zu fördern und die Open-Source-Community zu stärken, werden ab 2024 auch Freifläche in MPW Runs für akademische Projekte angeboten.

Ein GitHub-Repository mit den ersten PDK-Daten für die SG13G2-BiCMOS-Technologie ist bereits zugänglich. Für digitale Designs ist bereits ein kompletter funktionierender Designflow verfügbar. Daneben gibt es ein weiteres GitHub-Repository für Open-Source-Designs, die in Zukunft mit dem IHP OpenPDK erstellt werden. Benutzer aus der Open-Source-Community können auf diese Weise problemlos Designs verwenden und beisteuern. Die PDK-Daten sind derzeit noch im Beta Status.

The approach of using open-source software/tools and open-source IP for the development of microelectronic systems is an important component for the realisation of trustworthy electronics and for ensuring the technological sovereignty of Germany and Europe. IHP is making an important contribution to this with its research.

Since 2023, IHP has been developing an Open Source Process Design Kit (PDK) in 130 nm BiCMOS for analogue/digital, mixed signal and RF ASIC design. The aim is to provide low-threshold access to IHP's own technology and PDK for chip designers, developers of open EDA software and academic projects. The open-source designs created are to be manufactured in the IHP clean room. In order to promote the open-source approach and strengthen the open source community, free space in MPW Runs will also be offered for academic projects from 2024.

A GitHub repository with the first PDK data for the SG13G2 BiCMOS technology is already available. A complete working design flow is already available for digital designs. In addition, there is another GitHub repository for open source designs that will be created with the IHP OpenPDK in the future. Users from the open-source community can easily use and contribute designs in this way. The PDK data is currently still in beta status.

Mehr zum IHPs Open-Source:



More about IHP's Open-Source:



Verfügbar sind folgende SiGe-BiCMOS- und Siliziumphotonik-Technologien:

The following SiGe BiCMOS technologies are available:

SG13S: Eine 0,13-µm-BiCMOS-Technologie mit npn-HBTs mit Grenzfrequenzen bis zu $f_T = 250$ GHz und $f_{max} = 340$ GHz, mit 3,3 V I/O CMOS und 1,2 V Logik CMOS.

SG13G2: Eine 0,13-µm-BiCMOS-Technologie mit dem gleichen Bauelemente-Portfolio wie SG13S, aber deutlich höherer bipolarer Leistung mit $f_T/f_{max} = 350/450$ GHz und 1,5 V Logik CMOS.

SG13G2Cu: FEOL-Prozess SG13G2 zusammen mit Cu-BEOL-Option von X-FAB mit 4 dünnen Cu-Schichten, zwei 3 µm Cu-Schichten, einer dünnen Al-Schicht mit 2 ff/µm MIM-Kondensator und einer 2,8-µm-Aluminium-Deckschicht.

Verbesserung der passiven Komponenten im Vergleich zu Al BEOL:

- 2 dicke Kupfer-Metallleitungen
- höhere Strombelastbarkeit der dünnen Metallschichten
- höhere Strombelastbarkeit der kleinen Durchkontaktierungen
- 40 % höhere Flächendichte des MIM-Kondensators

SG13S: A 0.13 µm BiCMOS technology with high-performance npn-HBTs with cutoff frequencies up to $f_T = 250$ GHz and $f_{max} = 340$ GHz, with 3.3 V I/O CMOS and 1.2 V logic CMOS.

SG13G2: A 0.13 µm BiCMOS technology with same device portfolio as SG13S, but significantly higher bipolar performance with $f_T/f_{max} = 350/450$ GHz and 1.5 V logic CMOS.

SG13G2Cu: FEOL process SG13G2 together with Cu BEOL option from X-FAB containing 4 thin Cu layers, two 3 µm Cu layers, a thin Al layer with 2 ff/µm MIM capacitor and a 2.8 µm Aluminum top layer.

Improvement of passive components compared to Al BEOL:

- 2 thick copper metal lines
- higher current handling of thin metal layers
- higher current handling of the small vias
- 40 % higher area density of MIM capacitor

SG13G3Cu: Bietet HBTs der Spitzenklasse mit $f_T/f_{max} = 470/650$ GHz. Die Technologie bietet einen 8-lagigen Cu-BEOL von X-FAB mit 4 dünnen Cu-Schichten, 2 dicken 3-µm-Cu-Schichten, einer dünnen Al-Schicht mit 2 ff/µm MIM-Kondensator und einer 2,8 µm Aluminium-Padschicht. Diese Technologie bietet CMOS-Bauelemente mit 130-nm-Gate-Länge und 1,2 V Arbeitsspannung sowie CMOS-Bauelemente mit 3,3 V Arbeitsspannung.

SG25H5_EPIC: Eine hochleistungsfähige BiCMOS-Technologie mit integrierten Siliziumphotonik-Bauelementen. Sie kombiniert einen BiCMOS-Prozess mit sehr hoher bipolarer Leistung mit 210-GHz-Transitfrequenzen und bis zu 280 GHz maximale Oszillationsfrequenzen und photonische Bauelemente aus der SG25_PIC-Basistechnologie.

SG13G3Cu: Offers leading edge performance HBT's with $f_T/f_{max} = 470/650$ GHz. The process offers a 8-layer Cu-BEOL from X-FAB containing 4 thin Cu layers, 2 thick 3µm Cu layers, a thin Al layer with 2 ff/µm MIM capacitor and a 2.8 µm Aluminum top layer. This technology offers CMOS devices with 130 nm gate length and 1.2 V core voltage and high voltage CMOS devices with 3.3 V core voltage.

SG25H5_EPIC: A high performance BiCMOS technology with integrated Silicon Photonic devices. It combines a BiCMOS process with very high bipolar performance 210 GHz transit frequencies and up to 280 GHz maximum oscillation frequencies and photonic devices from SG25_PIC base technology.

Es finden technologische Durchläufe nach einem festen, unter verfügbaren Zeitplan statt:



The schedule for MPW & Prototyping runs is published online:



Ein Cadence-basiertes Mixed-Signal-Design-Kit ist verfügbar. Wiederverwendbare Schaltungsblöcke und IPs des IHP für die drahtlose- und Breitbandkommunikation werden zur Unterstützung von Kundendesigns angeboten.

A Cadence-based mixed-signal design kit is available. For high frequency designs an analog Design Kit in ADS can be used. IHP's reusable blocks and IPs are offered to support third party designs.

Zusätzliche Module sind für bestimmte SiGe-BiCMOS-Technologien verfügbar:

Additional modules for certain SiGe-BiCMOS technologies are available:

LBE: Das Localized Backside Etching Modul wird angeboten, um Silizium lokal zu entfernen, um die passiven Eigenschaften zu verbessern (verfügbar in allen Technologien).

LBE: The Localised Backside Etching module is offered to locally remove silicon to improve passive properties (available in all technologies).

PIC: Enthält spezielle photonische Design-Ebenen, zusammen mit den BiCMOS-BEOL-Ebenen auf SOI-Wafern.

PIC: Includes additional photonic design layers along with BiCMOS BEOL layers on SOI wafers.

TSV: Ist eine zusätzliche Option in der SG13S- und SG13G2-Technologie, die RF-Rückseitenerdung mittels Durchkontaktierungen durchs Silizium anbietet, um die RF-Eigenschaften zu verbessern.

TSV: An additional option in SG13S and SG13G2 technology that provides RF backside grounding by vias through silicon to improve RF performance.

—○ Through-Silicon-Via-Modul für RF-Erdung ist in SG13-Technologien verfügbar.

—○ Through-Silicon Via Module for RF Grounding is available in SG13 technologies.

—○ Einzelne TSVs bieten eine niedrige GND-Induktivität ≈ 30 pH, um die RF-Schaltungseigenschaften zu verbessern.

—○ Single TSVs can provide low GND inductance ≈ 30 pH to improve RF circuit performance.

—○ Die Rückseiten-Metallisierung kann auch zur verbesserten Chip-zu-Gehäuse-Kontaktierung verwendet werden.

—○ Backside metallization can also be used for improved chip-to-package contacting.

MEMRES: Ein vollständig in CMOS integriertes memristives Modul auf der Basis von resistiven $\text{TiN}/\text{HfO}_{2-x}/\text{TiN}$ -Schaltbauelementen in SG13S-Technologie, zusammen mit einem Process Design Kit, einschließlich Layout und VerilogA-Simulationsmodell.

MEMRES: A fully CMOS integrated memristive module based on resistive $\text{TiN}/\text{HfO}_{2-x}/\text{TiN}$ switching devices in SG13S technology, along with a Process Design Kit including layout and VerilogA simulation model.



Die wesentlichen Parameter der Technologien

Technical key-parameters of the technologies

Key Specification

Feature	SG13S	SG13G2	SG13G3Cu
Technology node (nm)	130	130	130
CMOS core supply (V)	1.2, 3.3	1.2, 3.3	1.2, 3.3
CMIM (fF/ μm^2)	1.5	1.5	1.5
Poly Res ($\Omega/\square$)	250	275	256
High Poly Res ($\Omega/\square$)	1300	1360	1219
BEOL	7 × Al	7 × Al	7 × Al
Varactor ($C_{\text{max}}/C_{\text{min}}$)	1.7	1.7	1.7
Q inductor	37*	37*	37*

*1 nH (with LBE)

Bipolar Transistors

Feature	SG13S	SG13G2	SG13G3Cu
NPN1 f_T/f_{max} (GHz)	250/340	350/450	470/650
NPN2 f_T/f_{max} (GHz)	45/165	120/330	260/600
NPN3 f_T/f_{max} (GHz)			140/500
NPN1 BV_{CE0} (V)	1.7	1.7	1.4
NPN2 BV_{CE0} (V)	3.7	2.5	1.8
NPN3 BV_{CE0} (V)			2.3
NPN1 BV_{CB0} (V)	5	4.8	3.7
NPN2 BV_{CB0} (V)	15	8.5	5.5
NPN3 BV_{CB0} (V)			7.5

CMOS Section

Feature		SG25H3*	SG13S**	
Core Supply Voltage (V)		2.5	3.3	1.2
nMOS	V_{TH} (V)	0.6	0.71	0.5
	I_{OUT}^{***} ($\mu\text{A}/\mu\text{m}$)	540	280	480
	I_{OFF} (pA/ μm)	3	10	500
pMOS	V_{TH} (V)	-0.6	-0.61	-0.47
	I_{OUT} ($\mu\text{A}/\mu\text{m}$)	-230	-220	-200
	I_{OFF} (pA/ μm)	-3	-10	-500

* Parameters for SGB25V are similar

*** @ $V_G = 2.5\text{ V}$

** Parameters for SG13G2 and SG13G3Cu are similar



Passive Section

Feature	SG13S	SG13G2
MIM Capacitor (fF/ μm^2)	1.5	1.5
N+ Poly Resistor ($\Omega/\square$)	-	-
P+ Poly Resistor ($\Omega/\square$)	250	260
High Poly Resistor ($\Omega/\square$)	1300	1360
Varactor $C_{\text{max}}/C_{\text{min}}$	1.7	1.7
Inductor Q@5 GHz	18 (1 nH)	18 (1 nH)
Inductor Q@10 GHz	20 (1 nH)	20 (1 nH)
Inductor Q@5 GHz	37 (1 nH)*	37 (1 nH)*

* with LBE

Fast Design-Enablement

Wir unterstützen IHP-Designer, externe Projektpartner und Kunden dabei, ihren Designzyklus von der Designidee bis zum erfolgreichen TAPE OUT zu beschleunigen.

Für unsere qualifizierten Technologien bieten wir getestete und zuverlässige Prozess Design Kits (PDKs) innerhalb modernster elektronischer und optischer Design-Plattformen an. Dies ermöglicht es Designern, in ihren Projekten für Produkte, Fallstudien oder Forschung, im ersten TAPE OUT funktionierendes Silizium zu erhalten.

IHP-Standard-Design-Kits unterstützen RF-MMIC-Designs, Mixed-Signal-Designs und einen digitalen Design-Flow. Spezielle Tools unterstützen die Simulation passiver Bauelemente, die thermische Simulation und die Alterungssimulation.

Als Forschungseinrichtung bietet das IHP auch Design-Tool-Support für in der Entwicklung befindliche Technologien und Module an, um Entwicklern die Möglichkeit zu geben, Designs für Forschungs- und Benchmark-Studien in einem sehr frühen Stadium der Entwicklung durchzuführen.

Ein neuer Bereich sind Anwendungen für extrem raue Umgebungen. Hier bieten und entwickeln wir Entwurfsmethodiken für das strahlungsharte Design. Für kryogene Designs ist die PDK-Entwicklung in Arbeit, eine PDK mit Beta Status steht für Benchmarking zur Verfügung.

Um die Besonderheiten der IHP-PDKs zu erlernen, stehen eine ausführliche Dokumentation, Video-Tutorials und Designbeispiele zur Verfügung. Regelmäßige PDK-Tutorials werden angeboten, um neue Benutzer zu schulen und neue Design-Tools und Funktionen einzuführen. Ein spezieller Support-Service ist über die PDK-Web-Plattform des IHP verfügbar, um Lösungen für spezielle Probleme direkt von IHP-Experten zu erhalten.

We support IHP designers, external project partners and customers to accelerate their design cycle from design idea to successful TAPE OUT.

For our qualified technologies we offer tested and reliable process design kits (PDKs) within state-of-the-art electronic and optical design platforms. This enables designers to obtain working silicon in their product development projects in the first TAPE OUT.

IHP standard design kits support RF MMIC designs, mixed signal designs and a digital design flow. Furthermore, special tools support passive device simulation, thermal simulation and aging simulation.

A new area covers applications for harsh environments. Here we provide and develop design methodologies for radiation-hardened design.

As a research facility, IHP is also offering design tool support for technologies under development to offer designers the possibility to perform designs for research and benchmark studies in a very early stage of development. For example, PDK development is underway for cryogenic designs.

Detailed documentation, video tutorials, and design examples are available to learn the ins and outs of IHP PDKs. Regular PDK tutorials are offered to train new users and introduce new design tools and features. A dedicated support service is available through IHP's PDK web platform. For special problems, customers obtain answers directly from IHP experts.

Analog/Mixed-Signal Flow:

- Verifikation
 - Cadence PVS DRC/LVS/QRC
 - Calibre DRC/LVS
- ausgewählte PDKs bieten Cadence Voltus Fi für EMIR-Analyse
- Sonnet Support für alle Design Kits
- Empire Support für alle Design Kits
- EMX Stack verfügbar für SG13-Technologie
- ADS Support via Golden Gate/RFIC dynamic link zu Cadence verfügbar
- eigenständiges ADS Kit, einschließlich Momentum Substrate Layer file

Digital Design Flow:

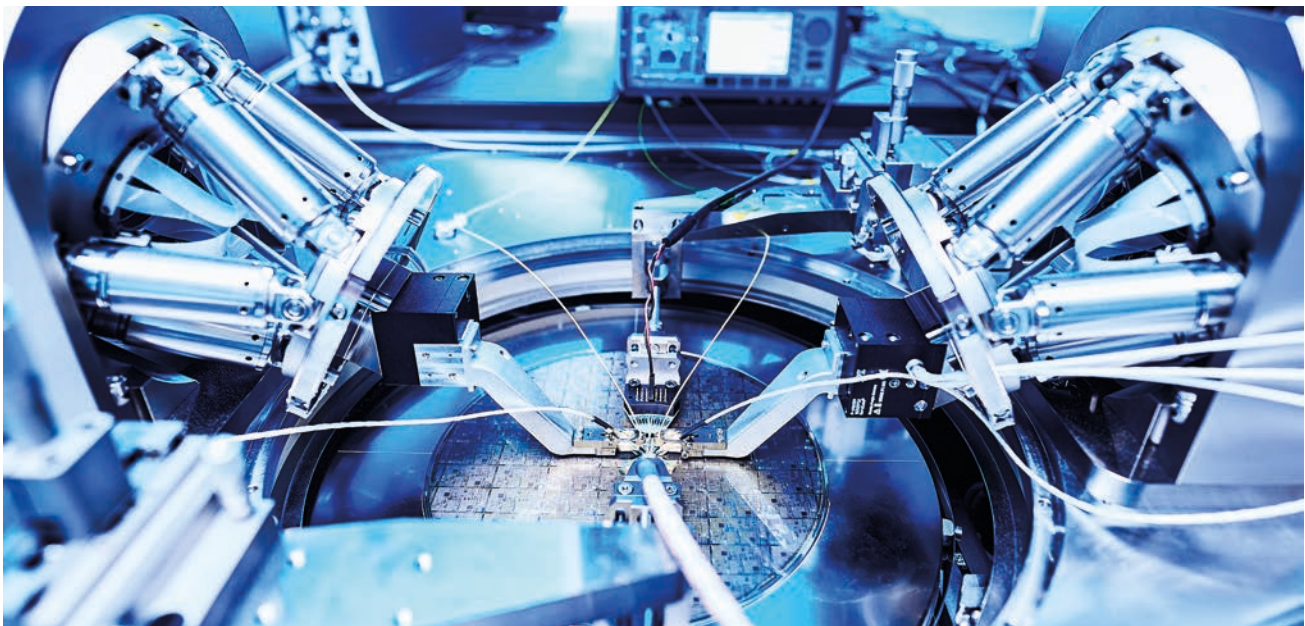
- digitale Standardzellen- und IO-Bibliotheken sind für 0,25 μm CMOS und 0,13 μm CMOS verfügbar, einschließlich Verhaltenssimulation (Verilogmodelle), Timing (LIB) und Abstracts (LEF)
- Simulation: ModelSim (Mentor Graphics), Incisive Enterprise Simulator IES (Cadence)
- Logiksynthese: Design Compiler (Synopsys), RTL Compiler (Cadence)
- formale Verifikation: Formality (Synopsys)
- Scan Insertion und Testpatterngenerierung: DFT Compiler/TetraMax (Synopsys)

Analog/Mixed-Signal Flow:

- Verification
 - Cadence PVS DRC/LVS/QRC
 - Calibre DRC/LVS
- Selected PDKs offer Cadence Voltus Fi for EMIR Analysis
- Sonnet support for all design kits
- Empire support for all design kits
- EMX stack for SG13 technology
- ADS Support via Golden Gate/RFIC dynamic link to Cadence available
- Standalone ADS Kit including Momentum substrate layer file

Digital Design Flow:

- Digital CMOS libraries and IO Cells for 0.25 μm CMOS and 0.13 μm CMOS are available, incl. Behavioral Models (Verilog), Timing Files (LIB), Abstracts (LEF)
- Simulation: ModelSim (Mentor Graphics), Incisive Enterprise Simulator IES (Cadence)
- Logic Synthesis: Design Compiler (Synopsys), RTL Compiler (Cadence)
- Formal Verification: Formality (Synopsys)
- Scan Insertion and Test Pattern Generation: DFT Compiler/TetraMax (Synopsys)
- Place & Route: Encounter Digital Implementation System (Cadence)



On-Wafer Messungen
On-wafer measurements

- Place & Route: Innovus Digital Implementation System (Cadence)
- OA der digitalen Bibliotheken für Mixed-Signal Design Flow
- Statische-Timing-Analyse: PrimeTime (Synopsys)
- Power-Analyse: PrimeTime mit PrimePower Option (Synopsys)

- OA views of digital libraries are available for mixed-signal flow
- Power Analysis: PrimeTime with PrimePower Option (Synopsys)
- Static Timing Analysis: PrimeTime (Synopsys)

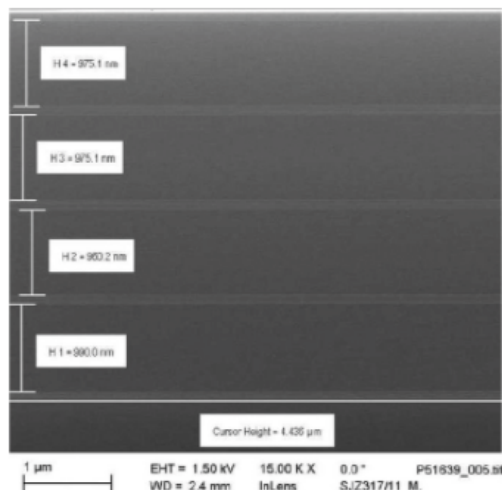
Technologie-Entwicklungsservice

Das IHP bietet Unterstützung bei der Entwicklung von dedizierten Prozessschritten und Modulen für Forschungs- und Entwicklungszwecke sowie für das Prototyping in kleinen Stückzahlen in folgenden drei Kategorien von Dienstleistungen an:

- dedizierte Prozessentwicklungen auf Einzelanlagen
Prozessablaufentwicklungen für spezielle Bauelemente oder Interposerabläufe
- Adaption von vorhandenen
- Standard-Technologieabläufen

Dedizierte Prozessentwicklungen auf Einzelwerkzeugen

- Standardprozesse (Implantation, Ätzen, CMP & Abscheidung von Schichtstapeln, wie thermisches SiO_2 , PSG, Si_3N_4 , Al, TiN, W)
- Epitaxie (Si, Si:C, SiGe, SiGe:C)
- optische Lithographie (i-Linie und 248 nm bis zu 100 nm Strukturgröße)
- Beispiel Si/SiGe-Schichtstrukturen: Si/SiGe-Schichtstruktur nach Kundenspezifikation auf einem 8-Zoll-Wafer



Transmissionselektronenmikroskopische Aufnahme von kundenspezifischem Si/SiGe
Transmission Electron Microscopy image of customer specified Si/SiGe

Technology Development Service

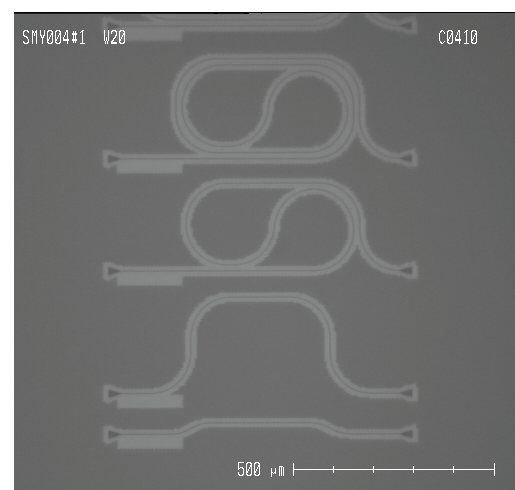
IHP offers support for development of dedicated process steps and modules for research and development purposes and small volume prototyping.

IHP is offering 3 categories of services:

- Dedicated process developments on single tools
- Process flow developments for special devices or interposer flows
- Adaption of existing standard technology flows

Dedicated process developments on single tools

- Standard processes (implantation, etching, CMP & deposition of layer stacks such as thermal SiO_2 , PSG, Si_3N_4 , Al, TiN, W)
- Epitaxy (Si, Si:C, SiGe, SiGe:C)
- Optical lithography (i-line and 248 nm down to 100 nm structure size)
- Example Si/SiGe layer structures: Si/SiGe layer structure on customer specification on an 8 inch wafer



Spezifische Si Photonic Structures
Specific Si Photonic Structures

Prozessablaufentwicklungen für spezielle Bauelemente oder Interposerabläufe

Basierend auf bestehenden Prozessschritten bietet das IHP Entwicklungen von Prozessabläufen an. Hierbei können spezielle Bauelemente oder Teile bestehender Technologien (z. B. Backend of line Module) für Prototypen oder als Basis für eigene Entwicklungen gefertigt werden.

Adaption bestehender Standard-Technologieabläufe

In diesem Fall basiert der Service auf bestehenden Standardtechnologien, die IHP-Standard-MPW-Abläufe können genutzt werden, um leicht modifizierte Technologien anzubieten. Mögliche Modifikationen sind die Verwendung von Nicht-Standard-Wafermaterial, die Anpassung einzelner Prozessschritte oder das Stoppen der Prozessierung an einem geeigneten Schritt.

Falls komplette Wafer benötigt werden, sind ein eigener Maszensatz oder zusätzliche Masken zur Ausblendung anderer Kundendaten erforderlich. In diesem Fall können Entwicklungen mit Standard-Backend-Prozessen wie Rückseitenschleifen, Dicing und einer Reduzierung der Standard-Wafergröße auf 6, 4 oder 3 Zoll kombiniert werden.

Beispiel 1: Fertigung von Standardtechnologie auf einem hochohmigen Wafer über einen 130-nm-MPW-Ablauf.

Beispiel 2: Fertigung in MPW-Standardtechnologie und Planarisierung für die Nachbearbeitung

Transfer von Technologien und Technologiemodulen

Das IHP entwickelt siliziumbasierte Technologien und qualifiziert diese nach JEDEC-Standards und Testmethoden. Die Prozessabläufe, die Prozesssteuerung und -wartung folgen Industriestandards mit produktionsstauglichem Equipment. IHP-Technologien werden über einen MPW-Service für Prototyping und Kleinserienfertigung angeboten. Dies ist eine ideale Voraussetzung für den Transfer dieser Technologien in kommerzielle Großserienfertigungen. Das IHP kann den Transfer von kompletten Technologien oder Technologiemodulen anbieten. Im Rahmen eines Transferprojektes kann eine Machbarkeitsstudie, ein Eins-zu-Eins-Prozesstransfer oder eine Prozessanpassung an die Bedürfnisse der empfangenden Produktionsstätte angeboten werden.

Neben dem Transfer bestehender Technologien können auch Prozessabläufe und spezielle Bauelemente entwickelt werden, die auf bestehenden Prozessfähigkeiten und Forschungsergebnissen basieren. Diese Entwicklungen können auf kommerzielle Ferti-

Process flow developments for special devices or interposer flows

IHP offers developments of process flows based on existing process steps. Here special devices or part of existing technologies (part of Backend of line modules) can be fabricated for prototypes or as a basis for own developments.

Adaption of existing standard technology flows

In this case service is based on existing standard technologies and IHP standard MPW runs can be used to offer slightly modified technologies. Possible modifications are the use of non-standard wafer material, adaption of a single process steps or stopping processing at an appropriate step.

In case complete wafers are required an own mask set or additional masks to disguise other customer data are needed. In this case developments can be combined with standard Backend processes like backside grinding, dicing and a reduction of standard wafer size to 6, 4 or 3 inches.

Example 1: Fabrication of standard technology on a high resistive wafer via a 130 nm MPW run.

Example 2: Fabrication of MPW standard technology and planarisation for post processing

Technology Transfer and Technology Modules

IHP develops Si-based technologies and qualifies them in compliance to JEDEC standards and test methods. Process flows, process control and maintenance follow industry standards with equipment suitable for production. IHP technologies are offered through an MPW Service for prototyping and low volume fabrication. This is an ideal fit for transferring these technologies to commercial high volume fabrication sites. IHP can offer transfer of complete technologies or technology modules. Within a transfer project IHP can offer a feasibility study, one to one process transfer or a process adaption to the needs of the receiving production facility.

In addition to transferring existing technologies, IHP can also develop process flows and dedicated devices based on existing process capabilities and research results. These developments can be transferred to commercial fabrications sites as defined in agreed development projects.

IHP may also support Si-based technology developments at commercial fabrication sites or research facilities. Detailed activ-

gungsstätten übertragen werden, die in vereinbarten Entwicklungsprojekten definiert sind.

Das IHP kann auch siliziumbasierte Technologieentwicklungen in kommerziellen Fabrikationsstätten oder Forschungseinrichtungen unterstützen. Detaillierte Aktivitäten können Beratungstätigkeiten oder die Unterstützung von Prozessentwicklungen beinhalten, die den Austausch von Wafern und die teilweise Bearbeitung im IHP beinhalten.

Kontaktieren Sie uns, um Ihre speziellen Anforderungen im Detail zu besprechen und Ihr spezielles Transferszenario zu diskutieren.

Fehleranalyse und Diagnostik

Das IHP bietet Unterstützung für Ausbeuteerhöhung durch Fehleranalyse mit modernster Ausrüstung, einschließlich AES, AFM, FIB, LST, SEM, SIMS, STM und TEM. Tester und Geräte für RF-Messungen sind vorhanden.

Zur Unterstützung von Entwürfen bietet das IHP eine breite Palette von Blöcken und Entwürfen für Drahtlos- und Breitbandlösungen an.

Analoge IP

—○ Drahtlose Kommunikation

60, 240 GHz

—○ Radarsensoren

60, 80, 120, 160, 256 GHz

—○ THz-Sensoren

245, 500 GHz

—○ Frequenzsynthesizer

6 - 60 GHz

—○ Faseroptische Kommunikation

VCSEL, MZM, TIA

—○ Mixed-Signal-Komponenten

ADC, DAC

—○ Impulse Radio UWB

Demonstratoren und Evaluationskits

Demonstratoren und Evaluationskits

—○ 60-GHz-Frontend-Demonstrator-Modul für analoge Strahlformungskommunikation

—○ skalierbares 60/120- GHz-FMCW- und PRN-Radar-sensor-Frontend-Demonstratormodul

—○ UWB-Impulsfunk-Lokalortungs- und Kommunikations-Demonstratorsystem

—○ LiDAR-Transimpedanzverstärker-Evaluierungskit mit hohem Dynamikbereich

—○ strahlungsbeständiger Mehrkanal-VCSEL-Treiber + TIA-Demonstrator-Modul

ities may include consulting activities or process development support involving wafer exchange and partial processing at IHP.

Contact us to discuss your specific requirements in detail and your dedicated transfer scenario.

Failure Mode Analysis and Diagnostics

IHP offers support for yield enhancement through failure mode analysis with state-of-the-art equipment, including AES, AFM, FIB, LST, SEM, SIMS, STM and TEM. Tester and equipment for RF measurements are available.

To support designs, IHP offers a wide range of blocks and designs for wireless & broadband solutions

Analog IP

—○ Wireless Communication

60, 240 GHz

—○ Radar Sensors

60, 80, 120, 160, 256 GHz

—○ THz Sensors

245, 500 GHz

—○ Frequency Synthesizers

6 - 60 GHz

—○ Fiberoptical Communication

VCSEL, MZM, TIA

—○ Mixed-Signal Components

ADC, DAC

—○ Impulse Radio UWB

Demonstrators and Evaluation Kits

Demonstrators and Evaluation Kits

—○ 60 GHz analog beamforming communication frontend demonstrator module

—○ 60/120 GHz FMCW and PRN scalable radar sensor frontend demonstrator module

—○ UWB impulse-radio local positioning and communication demonstrator system

—○ LiDAR high dynamic range transimpedance amplifier evaluation kit

—○ Radiation-hard multi-channel VCSEL Driver + TIA demonstrator module

Digitale IP**Schnittstellen**

- I²C Slave, SPI Slave, MDIO Slave, 10BASE-T und 100BASE-TX Digital Controller

Kommunikationskerne

- PTMP-MAC-Prozessor mit ultrahoher Datenrate und Strahlformungsunterstützung
- Breitband-OFDM-Basisbandprozessor mit ultrahoher Datenrate
- LDPC-Kodierer/-Dekodierer
- RS-Kodierer/-Dekodierer
- Viterbi-Dekodierer/Faltungskodierer
- Peaktop-Prozessorkern (32 Bit)
- Waterbear Multiprozessor-Framework
- Der PISA-Multiprozessor

Beratung

- (Point-to-Multipoint) MAC-Protokolldesign und -implementierung
- Entwurf und Implementierung von Kommunikationssystemen mit niedriger Latenz
- Entwicklung und Implementierung eines Gigabit-WLAN-Systems
- 5G-Backhaul-Systeme
- Entwicklung und Implementierung von Lokalisierungs- und Ortungssystemen für Innenräume
- Strahlungshärtung von digitalen ASICs

Kommerzielle Dienstleistungen: IHP Solutions GmbH

Die IHP Solutions GmbH, unsere 100-prozentige Tochtergesellschaft, ist eine kommerzielle, marktorientierte Schnittstelle für Kunden zum IHP und seinen Forschungsergebnissen. Zu den Aktivitäten gehören der Transfer von Ergebnissen aus Forschung, Technologieentwicklung und Dienstleistungen für das IHP, einschließlich Patentmanagement und Startup-Unterstützung. Im Bereich Industrieservice ist das Unternehmen Auftragnehmer für Industriekunden und ermöglicht ihnen die Nutzung der Fertigungsdienstleistungen der IHP-Pilotlinie. Weitere Informationen: www.ihp-solutions.com

Digital IP**Interfaces**

- I²C Slave, SPI Slave, MDIO Slave, 10BASE-T und 100BASE-TX Digital Controller

Communication Cores

- Ultra-high data rate PTMP MAC processor with beamforming support
- Ultra-high data rate broadband OFDM baseband processor
- LDPC Encoder / Decoder
- RS Encoder / Decoder
- Viterbi decoder / convolutional encoder
- Peaktop processor core (32-bit)
- Waterbear multiprocessor framework
- The PISA multiprocessor

Consulting

- (Point-to-Multipoint) MAC protocol design and implementation
- Design and implementation of low-latency communication systems
- Gigabit WLAN system development and implementation
- 5G backhaul systems
- Indoor localization and positioning system development and implementation
- Radiation hardening of digital ASICs

Commercial Services: IHP Solutions GmbH

IHP Solutions GmbH, our 100% subsidiary, is a commercial, market-oriented interface for customers to IHP and its research results. Among the activities are the transfer of results from research, technology development and services for IHP, including patent management and start-up support. In the field of Industry Service, the company is a contractor for industrial customers and allows them to use the manufacturing services of the IHP pilot line. More information: www.ihp-solutions.com

Contact: Dr. René Scholz (Technology Research Service)

Email: scholz@ihp-microelectronics.com

Tel : +49 335 56 25 647

Physical
Review

B

40
1989
S.1-1362

Physical
Review

B

40
1989
S.1-1442

Physical
Review

B

40
1989
S.1443-2748

Physical
Review

B

40
1989
S.2749-4236

Physical
Review

B

40
1989
S.4237-5300

Physical
Review

B

40
1989
S.5301-6400

Physical
Review

B

Physical
Review

B

PUBLIKATIONEN PUBLICATIONS



High Speed Current-Steering DACs in SiGe BiCMOS Technology

S.1. 67.

Target Position Estimation with a Continuous Wave Radar Network

S.1. 66.

GI-Dissertationspreis 2017

S.1. 77.

High Efficient Infrared-Light Emission from Silicon LEDs

S.1. 77.

Multiservice Transmission in CDMA Systems

S.1. 80.

Widerstand von Silicium-Germanium-Hetero-Bipolartransistoren

S.1. 62.

Widerstand von Silicium-Germanium-Hetero-Bipolartransistoren

S.1. 62.

Alexander

S.1. 59.

Publikationen

Publications

Erschienenene Publikationen

Published Papers

- (1) **All Epitaxial Self-Assembly of Vertically-Confined Silicon Color Centers using Ultra-Low Temperature Epitaxy.** J. Aberl, E. Prado Navarrete, M. Karaman, D.H. Enriquez, C. Wilflingseder, A. Salomon, D. Primetzhof, M.A. Schubert, G. Capellini, T. Fromherz, P. Deák, Á. Gali, M. Brehm. zu finden unter: <https://arxiv.org/abs/2402.19227>
- (2) **All-Epitaxial Self-Assembly of Silicon Color Centers Confined within Sub-Nanometer Thin Layers Using Ultra-Low Temperature Epitaxy.** J. Aberl, E. Prado-Navarrete, M. Karaman, D.H. Enriquez, C. Wilflingseder, A. Salomon, D. Primetzhof, M.A. Schubert, G. Capellini, T. Fromherz, P. Deák, P. Udvarhelyi, L. Song, Á. Gali, M. Brehm. *Advanced Materials* 36(48), 2408424 (2024)
- (3) **Self-Assembled Si Color Centers: Confinement to the Nanoscale via Ultra-Low Temperature Molecular Beam Epitaxy.** J. Aberl, E. Prado-Navarrete, M. Karaman, D.H. Enriquez, C. Wilflingseder, A. Salomon, D. Primetzhof, M.A. Schubert, G. Capellini, T. Fromherz, P. Deák, Á. Gali, M. Brehm. ECS Meeting Abstracts MA2024-02, 2362 (2024)
- (4) **Variability in HfO₂-based Memristors Described with a New Bidimensional Statistical Technique.** C. Acal, D. Maldonado, A. Cantudo, M.B. González, F. Jiménez-Molinos, F. Campabadal, J.B. Roldán. *Nanoscale* 16(22), 10812 (2024)
- (5) **Atomistic Insights into the Nucleation and Growth of Hexagonal Boron Nitride and Graphene Heterostructures.** M. Achehboune, K. Zhou, J. Dabrowski, D. Vignaud, M. Franck, M. Lukosius, J.-F. Colomer, L. Henrard. *Physical Chemistry, Chemical Physics (PCCP)* 26(44), 28198 (2024)
- (6) **Advantages of Unsupervised Learning Analysis Methods in Single-Trace SCA Attacks.** M. Aftowicz, I. Kabin, Z. Dyka, P. Langendörfer. *Microprocessors and Microsystems* 105(C), 104994 (2024)
- (7) **Non-Profiled Unsupervised Horizontal Iterative Attack Against Hardware Elliptic Curve Scalar Multiplication using Machine Learning.** M. Aftowicz, I. Kabin, Z. Dyka, P. Langendörfer. *Future Internet (MDPI)* 16(2), 45 (2024)
- (8) **Advanced Recovery and Enhanced Humidity Tolerance of CNTs Gas Sensor using a Filament Heater.** I. Ahmad, D. Lee, M. Chae, H.-D. Kim. *Chemical Engineering Journal* 496, 154014 (2024)
- (9) **A 220–320 GHz High Image Rejection Sideband Separating Receiver for Space-Borne Observatories.** E.M. Al Seragi, Y.L. Rajendra, W. Ahmad, M. Kaynak, P.F. Goldsmith, S. Zeinoladedinzadeh. *IEEE Transactions on Terahertz Science and Technology* 14(2), 162 (2024)
- (10) **Advances in MXene-based Synaptic Devices and Sensors: Review.** M. Ali, D. Lee, M. Chae, I. Ahmad, H.-D. Kim. *Materials Today Physics* 45, 101456 (2024)
- (11) **Pirates of the MQTT: Raiding IIoT Systems with a Rogue Client.** W. Alsabbagh, S. Amogbonjaye, C. Kim, P. Langendörfer. *Proc. 8th Cyber Security in Networking Conference (CSNet 2024)*, (2024)
- (12) **Silent Sabotage: A Stealthy Control Logic Injection in IIoT Systems.** W. Alsabbagh, C. Kim, P. Langendörfer. *Proc. 5th Silicon Valley Cybersecurity Conference (SVCC 2024)*, (2024)
- (13) **Beyond the Lens: False Data Injection Attacks on IIoT-Cameras through MQTT Manipulation.** W. Alsabbagh, C. Kim, N.S. Patil, P. Langendörfer. *Proc. 7th Conference on Cloud and Internet of Things (CIoT 2024)*, (2024)
- (14) **Hacking the Backbone: Shell Reverse Attacks on IIoT Systems.** W. Alsabbagh, C. Kim, N.S. Patil, P. Langendörfer. *Proc. 3rd Workshop on Security and Privacy in Connected Embedded Systems (SPICES 2024)*, (2024)
- (15) **Investigating the Security of OpenPLC: Vulnerabilities, Attacks, and Mitigation Solutions.** W. Alsabbagh, C. Kim, P. Langendörfer. *IEEE Access* 12, 11561 (2024)
- (16) **Adhesive-Free Bonding for Hetero-Integration of InP based Coupons Micro-Transfer Printed on SiO₂ into Complementary Metal-Oxide-Semiconductor Backend for Si Photonics Application on 8" Wafer Platform.** K. Anand, P. Steglich, J. Kreissl, C.A. Chavarin, D. Spirito, M. Franck, G. Lecci, I. Costina, N. Herfurth, J. Katzer, Ch. Mai, A. Becker, J.P. Reithmaier, L. Zimmermann, A. Mai. *Thin Solid Films* 799, 140399 (2024)
- (17) **A 6G Transport Network Converging THz and Optical Network Technologies Empowered by Federated Learning Techniques.** M. Anastasopoulos, A. Tzanakaki, G. Kaponis, Y. Jian, L. Lopacinski, J. Gutiérrez Teran, I. Mesogiti, E. Theodoropoulou, G. Lyberopoulos. *Proc. 50th European Conference on Optical Communications (ECOC 2024)*, 459 (2024)
- (18) **A Holistic Approach for Characterization of SET Effects in a Standard Digital Cell Library.** M. Andjelkovic, M. Krstic. *Proc. 15th IEEE Latin America Symposium on Circuits and System (LASCAS 2024)*, (2024)
- (19) **On-Chip Particle Detectors for Self-Adaptive Integrated Circuits for Space Applications.** M. Andjelkovic. *Proc. International Conference on Radiation Applications (RAP 2024)*, abstr. book 1 (2024)
- (20) **Simulation-based Analysis and Modeling of Generated Single Event Transient Pulse Width.** M. Andjelkovic, M. Krstic. *Proc. 25th IEEE Latin American Test Symposium (LATS 2024)*, (2024)
- (21) **6G-TakeOff: Holistic 3D Networks for 6G Wireless Communications.** M. Andjelkovic, N. Maletic, N. Miglioranza, M. Krstic, E. Koeck, J. Buchholz, M. Taddiken, M. Fehrenz, S. Baradie, D. Wuebben, M. Breitbach. *Proc. 27th Euromicro Conference Series on Digital System Design (DSD 2024)*, 435 (2024)
- (22) **Towards Passive Imaging with Uncooled, Low-NEP SiGe HBT Terahertz Direct Detectors.** M. Andree, J. Grzyb, H. Rücker, U.R. Pfeiffer. *IEEE Transactions on Terahertz Science and Technology* 14(5), 632 (2024)
- (23) **Leveraging Lookup Tables for Efficient LDO Design Exploration using Open-Source CAD Tools and IHP-Open130-G2 PDK.** D. Arevalos, J. Marin, K. Herman, C. Rojas. *Proc. 31st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2024)*, 124 (2024)
- (24) **Leveraging Lookup Tables for Efficient LDO Design Exploration using Open-Source CAD Tools and IHP-Open130-G2 PDK.** D. Arevalos, J. Marin, K. Herman, C. Rojas. *Proc. 31st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2024)*, abstr. book 53 (2024)
- (25) **Design and Characterization of a Variable Gain D-Band LNA for Optimized Link Budgeting for a 6G Receiver in 22FDX.** P.J. Artz, Q.H. Le, D.K. Huynh, P. Scholz, T. Kämpfe, S. Lehmann, T. Mausolf, F. Gerfers. *IEEE Transactions on Microwave Theory and Techniques* 72(2), 1008 (2024)
- (26) **Unsupervised and Semisupervised Machine Learning Frameworks for Multiclass Tool Wear Recognition.** M. Assafo, P. Langendörfer. *IEEE Open Journal of the Industrial Electronics Society* 5, 993 (2024)
- (27) **Detection of Unhealthy Fruits using Image Classification based on a Deep Transfer Learning Framework.** P. Bagchi, D. Markovic, Z. Stamenkovic, D. Stojic, D. Bhattacharjee. *UNITECH - Selected Papers 2024*, (2024)
- (28) **Potato Late Blight Outbreak: A Study on Advanced Classification Models Based on Meteorological Data.** P. Bagchi, B. Sawicka, Z. Stamenkovic, D. Markovic, D. Bhattacharjee. *Sensors (MDPI)* 24(23), 7864 (2024)
- (29) **A Highly Efficient 240-GHz Power Amplifier in 0.13- μ m SiGe.** K. Balaban, M. Kaynak, A.C. Ulusoy. *IEEE Microwave and Wireless Technology Letters (MWTL)* 34(1), 88 (2024)
- (30) **Design and Investigation of 2x2 Dielectric Resonator Antennas Array for Sub-THz Applications.** M.F. Bashir, M. Wietstruck. *Proc. 18th European Conference on Antennas and Propagation (EuCAP 2024)*, (2024)
- (31) **Design of 240 GHz Dielectric Resonator Antenna in 130 nm SiGe BiCMOS Process.** M.F. Bashir, M. Wietstruck. *Proc. 15th German Microwave Conference (GeMIC 2024)*, 73 (2024)
- (32) **Ultrastrong Coupling of Si1-xGex Parabolic Quantum Wells to Terahertz Microcavities.** F. Berkmann, T. Venanz, L. Baldassarre, E. Campagna,

- E. Talamas-Simola, L. Di Gaspare, C. Corley-Wiciak, G. Capellini, G. Nicotra, G. Sfuncia, A. Notargiacomo, E. Giovine, S. Cibella, M. Virgilio, G. Scalari, M. De Seta, M. Ortolani. *ACS Photonics* 11(7), 2776 (2024)
- (33) **Sub-THz Beam-Steering Antenna in Silicon Interposer Technology.** A. Bhutani, L. Valenziano, P. Krüger, T. Voß, T. Zwick, C. Carta, M. Wietstruck. *Proc. 27th IEEE European Microwave Week (EuMW 2024)*, 808 (2024)
- (34) **Sub-THz Substrate Integrated Waveguide Signal Transitions in Back-end-of-Line of a Silicon Process.** A. Bhutani, M. Kaynak, M. Wietstruck, E. Bekker, I.K. Aksoyak, J. Hebel, T. Zwick. *Proc. 18th European Conference on Antennas and Propagation (EuCAP 2024)*, (2024)
- (35) **Innovations in Electronics – Friend or Foe in Achieving Sustainability?** M. Birkholz. *Proc. Electronics Goes Green Conference (EGG 2024)*, 231 (2024)
- (36) **Investigating the SEU Immunity of a Selectively-Hardened Complex Digital Filter.** A. Breitenreiter, T. Lange, E. Pun, O. Schrape, C. Schulze, F. Vargas, M. Krstic. *Proc. 36. ITG/GMM/GI-Workshop Testmethoden und Zuverlässigkeit von Schaltungen und Systemen (TuZ 2024)*, 47 (2024)
- (37) **Continuous Wave Operation of Electrically Pumped GeSn/SiGeSn Multiple Quantum Well Laser.** D. Buca, T. Liu, L. Seidel, O. Concepcion, J.-M. Hartmann, A. Chelnokov, G. Capellini, M. Oehme, D. Grützmacher. *Proc. 29th International Semiconductor Laser Conference (ISLC 2024)*, WE1 (2024)
- (38) **Electrically Pumped GeSn/SiGeSn Lasers.** D. Buca, T. Liu, L. Seidel, O. Concepción, J.M. Hartmann, A. Tchelakov, G. Capellini, M. Oehme, D. Grützmacher. *ECS Meeting Abstracts MA2024-02*, 2324 (2024)
- (39) **High-Quality CMOS Compatible N-Type SiGe Parabolic Quantum Wells for Intersubband Photonics at 2.5-5 THz.** E. Campagna, E. Talamas Simola, T. Venanzi, F. Berkman, C. Corley-Wiciak, G. Nicotra, L. Baldassarre, G. Capellini, L. Di Gaspare, M. Virgilio, M. Ortolani, M. De Seta. *Nano-photonics* 13(10), 1793 (2024)
- (40) **D-Band Active Antenna Array with Lens Enabling Quasi-Optical and Analogue Beam Reconfiguration for 6G Applications.** M.A. Campo, S. Bruni, W. Wischmann, A. Lauer, A. Friedrich, M. Wlekinski, C. Oikonomopoulos, O. Litschke, K. Krishnegowda, C. Herold, N. Moroni, W. Keusgen. *Proc. 18th European Conference on Antennas and Propagation (EuCAP 2024)*, (2024)
- (41) **The Assembly Investigation of a Multichip to PCB Flip-Chip Package using Cu Pillar Bumps.** Z. Cao, J. Lehmann, B. Heusdens, E.C. Durmaz, P. Krüger, M. Wietstruck, N. Herfurth, A.A. Adesunkanmi, C. Carta, M. Kaynak. *IEEE Transactions on Components, Packaging and Manufacturing Technology* 14(9), 1661 (2024)
- (42) **The Chip-Level in-Plane Stress Distribution over BiCMOS Wafers.** Z. Cao, T. Voss, M. Wietstruck, C. Carta, M. Kaynak. *Proc. 24th IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF 2024)*, 45 (2024)
- (43) **Optimization of the Metal Deposition Process for the Accurate Estimation of Low Metal-Graphene Contact-Resistance.** D. Capista, R. Lukose, F. Majnoon, M. Lisker, Ch. Wenger, M. Lukosius. *Proc. 47th International ICT and Electronics Convention (MIPRO 2024)*, 1561 (2024)
- (44) **SWCNT-Si Photodetector with Voltage-Dependent Active Surface.** D. Capista, L. Lozzi, A. Di Bartolomeo, F. Giubileo, N. Martucciello, M. Passacantando. *Nano Express* 5(1), 015004 (2024)
- (45) **BeGREEN Intelligent Plane for AI-Driven Energy Efficient O-RAN Management.** M. Catalan-Cid, J. Pueyo, J. Sanchez-Gonzalez, J. Gutiérrez Teran, M. Ghoraiishi. *Proc. 33rd Joint European Conference on Networks and Communications & 6G Summit (EuCNC/6G Summit 2024)*, (2024)
- (46) **Influence of En-APTAS Membrane on NO Gas Selectivity of HfO₂-based Memristor Gas Sensors.** M. Chae, D. Lee, H.-D. Kim. *Japanese Journal of Applied Physics* 63(3), 03SP07 (2024)
- (47) **Low-Power Consumption IGZO Memristor-Based Gas Sensor Embedded in an Internet of Things Monitoring System for Isopropanol Alcohol Gas.** M. Chae, D. Lee, H.-D. Kim. *Micromachines (MDPI)* 15(1), 77 (2024)
- (48) **Dynamic Response and Swift Recovery of Filament Heater-Integrated Low-Power Transparent CNT Gas Sensor.** M. Chae, D. Lee, H.-D. Kim. *Advanced Functional Materials* 34(49), 2405260 (2024)
- (49) **Failure Probability due to Radiation-Induced Effects in FinFET SRAM Cells under Process Variations.** V. Champac, H. Villacorta, R. Gomez-Fuentes, F. Vargas, J. Segura. *Journal of Electronic Testing* 40, 75 (2024)
- (50) **A 300 GHz x9 Multiplier Chain with 9.6 dBm Output Power in 0.13- μ m SiGe Technology.** A. Chandra-Prabhu, J. Grzyb, P. Hillger, T. Bücher, H. Rücker, U.R. Pfeiffer. *Proc. 24th IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF 2024)*, 37 (2024)
- (51) **Agile Hardware Development Flow for Radiation-Hardened System in Aerospace Applications.** J.-C. Chen, M. Andjelkovic, M. Krstic. *Proc. International Conference on Radiation Applications (RAP 2024)*, abstr. book 109 (2024)
- (52) **Space Radiation Flux Driven Fault Injection for Evaluating Dynamic Mitigation Strategies.** J.-C. Chen, L. Lu, M. Andjelkovic, F. Vargas, M. Krstic. *Proc. 25th IEEE Latin American Test Symposium (LATS 2024)*, (2024)
- (53) **Reliability Assessment of Large DNN Models: Trading Off Performance and Accuracy.** J.-C. Chen, G. Esposito, F.F. dos Santos, J.-D. Guerrero-Balaguera, A. Kritikakou, M. Krstic, R. Limas, J.E. Rodriguez Condia, M. Sonza Reorda, M. Traiola, A. Veronesi. *Proc. 32nd IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-Soc 2024)*, (2024)
- (54) **Economic Feasibility of 5G-Based Autonomous Mobile Robots Solutions for Industry 4.0.** L. Chinchilla-Romero, J. Prados-Garzon, R. Vasist, M. Goodarzi. *IEEE Communications Magazine* 62(11), 52 (2024)
- (55) **Out of Distribution Generalization: KPI vs Spectrogram Based Jamming Classification in 5G.** R. Chitauri, M. Brzozowski, O. Yener, P. Langendörfer. *Proc. 32nd International Conference on Software, Telecommunications and Computer Networks (SoftCOM 2024)*, (2024)
- (56) **Real-Time Jamming Detection, Classification and Logging using Computer Vision in 5G Private Networks.** R. Chitauri, M. Brzozowski, O. Yener, P. Langendörfer. *Proc. 19th International Symposium on Wireless Communication Systems (ISWCS 2024)*, (2024)
- (57) **Room Temperature Lattice Thermal Conductivity of GeSn Alloys.** O. Concepción, J. Tiscareño-Ramírez, A.A. Chimienti, T. Classen, A.A. Corley-Wiciak, A. Tomadin, D. Spirito, D. Pisignano, P. Graziosi, Z. Ikonc, Q.T. Zhao, D. Grützmacher, G. Capellini, S. Roddaro, M. Virgilio, D. Buca. *ACS Applied Energy Materials* 7(10), 4394 (2024)
- (58) **Full Picture of Lattice Deformation in a Ge1-xSnx Micro-Disk by 5D X-Ray Diffraction Microscopy.** C. Corley-Wiciak, M.H. Zoellner, A.A. Corley-Wiciak, F. Rovaris, E. Zatterin, I. Zaitsev, G. Sfuncia, G. Nicotra, D. Spirito, C.L. Manganelli, A. Marzegalli, T.U. Schulli, N. von den Driesch, D. Buca, F. Montalenti, G. Capellini, C. Richter. *Small Methods* 8(12), 2400598 (2024)
- (59) **Polarization-Resolved Raman Spectroscopy Reveals the Atomic Local Ordering in Silicon Germanium Tin Epitaxial Alloys.** A.A. Corley-Wiciak, O. Concepción, M.H. Zoellner, G. Sfuncia, F. Bärwolf, G. Nicotra, D. Grützmacher, D. Buca, G. Capellini, D. Spirito. *Physical Review Materials* 8(10), 104601 (2024)
- (60) **The Lattice Strain Distribution in GexSn1-x Micro-Disks Investigated at the Sub 100-nm Scale.** C. Corley-Wiciak, M.H. Zoellner, A.A. Corley-Wiciak, F. Rovaris, G. Sfuncia, G. Nicotra, I. Zaitsev, C.L. Manganelli, E. Zatterin, D. Spirito, A. Marzegalli, T. Schulli, N. von den Driesch, D. Buca, F. Montalenti, C. Richter, G. Capellini. *ECS Meeting Abstracts MA2024-02*, 2325 (2024)
- (61) **The Lattice Strain Distribution in GexSn1-x Micro-Disks Investigated at the Sub 100-nm Scale.** C. Corley-Wiciak, A.A. Corley-Wiciak, M.H. Zoellner, F. Rovaris, E. Zatterin, G. Sfuncia, G. Nicotra, I. Zaitsev, C.L. Manganelli, D. Spirito, A. Marzegalli, T.U. Schulli, N. von den Driesch, D. Buca, F. Montalenti, C. Richter, G. Capellini. *ECS Transactions* 114(2), 145 (2024)
- (62) **Thermal Expansion and Temperature Dependence of Raman Modes in Epitaxial Layers of Ge and Ge1-xSnx.** A.A. Corley-Wiciak, D. Ryzhak, M.H. Zoellner, C.L. Manganelli, O. Concepción, O. Skibitzki, D. Grützmacher, D. Buca, G. Capellini, D. Spirito. *Physical Review Materials* 8(2), 023801 (2024)
- (63) **Fast Circuit Simulation of Memristive Crossbar Arrays with Bimodal Stochastic Synaptic Weights.** N. Dersch, C. Roemer, E. Perez, Ch. Wenger, M. Schwarz, B. Iniguez, A. Kloes. *Proc. IEEE Latin American Electron Devices Conference (LAEDC 2024)*, (2024)
- (64) **Advancements in the Cu Pillar based PCB Microfluidic System Integration with SiGe BiCMOS Technology.** E.C. Durmaz, C. Heine, Z. Cao, D. Kissinger, M. Wietstruck. *Proc. Smart System Integration International Conference and Exhibition (SSI 2024)*, (2024)
- (65) **On the Influence of Cell Libraries and Other Parameters to SCA Resistance of Crypto IP Cores.** Z. Dyka, I. Kabin, M. Brzozowski, G. Panic, C. Calligaro, M. Krstic, P. Langendörfer. *Proc. 13th Mediterranean Conference on Embedded Computing (MECO 2024)*, 80 (2024)

- (66) **Deposition of Polymers on Titanium Nitride Electrodes.** Y. Efremenko, A. Laroussi, A. Sengül, A.A. Corley-Wiciak, I.A. Fischer, V.M. Mirsky. *Coatings (MDPI)* 14(2), 215 (2024)
- (67) **A 240-GHz VMPS with 1.2° and 0.35 dB RMS Errors in 130 nm BiCMOS:C Technology.** M.H. Eissa, Ch. Wipf, A. Malignaggi, G. Kahmen. *IEEE Microwave and Wireless Technology Letters (MWTL)* 34(3), 295 (2024)
- (68) **Evidence of Correlation between Membrane Phase Transition and Clonogenicity in Dehydrating *Acinetobacter baumannii*: A Combined Micro-Raman and AFM Study.** E. Fardelli, M. Di Gioacchino, M. Lucidi, G. Capecci, F. Bruni, A. Sodo, P. Visca, G. Capellini. *The Journal of Physical Chemistry B* 128(28), 6806 (2024)
- (69) **Design of a Semantic-Aware New Radio PUSCH Encoder for Enhanced Mobility.** I. Floudas, M. Anastasopoulos, A. Tzanakaki, J. Gutiérrez Teran. *Proc. IEEE International Workshop on Computer-Aided Modeling and Design of Communication Links and Networks (CAMAD 2024)*, 534 (2024)
- (70) **Topology- and Resource-based Distribution Scheme for Collaborative Security-Focused Design Space Exploration in Large-Scale Static WSNs.** B. Förster, T. Hinze, P. Langendörfer. *Proc. 34th International Telecommunication Networks and Applications Conference (ITNAC 2024)*, (2024)
- (71) **Determining Distributions of Security Means for WSNs based on the Model of a Neighborhood Watch.** B. Förster, P. Langendörfer, T. Hinze. *IEEE Access* 12, 74343 (2024)
- (72) **Security Mean Distribution in WSNs for Cooperative Schemes.** B. Förster, T. Hinze, P. Langendörfer. *Proc. iCampus Cottbus Conference (iCCC 2024)*, 38 (2024)
- (73) **Advanced Characterization Approaches with Pad-Model De-Embedding of Sub-THz Devices for 6G Applications.** A. Franzese, B. Sütbas, T. Mausolf, N. Moroni, R. Negra, A. Sanchez Ramos, F. Greco, L. Boccia, E. Shokrolahzade, M. Spirito, C. Carta. *Proc. 19th European Microwave Integrated Circuits Conference (EuMIC 2024)*, 428 (2024)
- (74) **28-GHz SiGe Bidirectional 4-Element Beamformer Chip for 5G Applications based on a 4-Way Ultracompact Switchable Power Divider.** A. Franzese, R. Negra, A. Malignaggi, N. Maletic, B. Sütbas, C. Carta. *IEEE Transactions on Microwave Theory and Techniques* 72(12), 7050 (2024)
- (75) **56% PAE mm-Wave SiGe BiCMOS Power Amplifier Employing Local Backside Etching.** A. Franzese, B. Sütbas, R. Hasan, A. Malignaggi, T. Mausolf, N. Maletic, M.-D. Wey, H. Zhou, C. Fager, C. Carta, R. Negra. *IEEE Microwave and Wireless Technology Letters (MWTL)* 34(8), 1023 (2024)
- (76) **A Flexible and Fast Digital Twin for RRAM Systems Applied for Training Resilient Neural Networks.** M. Fritscher, S. Singh, T. Rizzi, A. Baroni, D. Reiser, M. Mallah, D. Hartmann, A. Bende, T. Kempen, M. Uhlmann, G. Kahmen, D. Fey, V. Rana, S. Menzel, M. Reichenbach, M. Krstic, F. Merchant, Ch. Wenger. *Scientific Reports* 14, 23695 (2024)
- (77) **Area-Efficient Digital Design using RRAM-CMOS Standardcells.** M. Fritscher, M. Uhlmann, P. Ostrovskyy, D. Reiser, J.-C. Chen, M.A. Schubert, C. Schulze, G. Kahmen, D. Fey, M. Reichenbach, M. Krstic, Ch. Wenger. *Proc. IEEE Computer Society Annual Symposium on VLSI (ISVLSI 2024)*, 81 (2024)
- (78) **From Device to Application - Integrating RRAM Accelerator Blocks into Large AI Systems.** M. Fritscher, Ch. Wenger, M. Krstic. *Proc. IEEE Computer Society Annual Symposium on VLSI (ISVLSI 2024)*, 592 (2024)
- (79) **Epitaxial Growth of Nd2O3 Layers on Virtual SiGe Substrates on Si(111).** H. Genath, M.A. Schubert, H. Yamtomo, J. Krügener, H.J. Osten. *Journal of Applied Physics* 135(11), 115302 (2024)
- (80) **Over-the-Air 26 GHz Receiver Hardware-Software Evaluation Towards Joint Communication and Radar Sensing.** S. George, P. Sen, M. Umar, M. Matthe, J. Adler, M. Ramzan, C. Carta. *Proc. 54th European Microwave Conference (EuMC 2024)*, 509 (2024)
- (81) **A Multi-Mode Direct Conversion Receiver for Joint Communication and Radar Sensing.** S. George, P. Sen, C. Carta. *Proc. 15th German Microwave Conference (GeMiC 2024)*, 229 (2024)
- (82) **Realizing Joint Communication and Sensing RF Receiver Front-Ends: A Survey.** S. George, P. Sen, C. Carta. *IEEE Access* 12, 9440 (2024)
- (83) **Comparison of Optimization Techniques and Machine Learning Methods for Optimized Beamforming in Wireless Networks.** P. Geranmayeh, E. Grass. *Proc. IEEE-APS Topical Conference on Antennas and Propagation in Wireless Communications (APWC 2024)*, 66 (2024)
- (84) **Impact of Patch Array Antenna Size and Beampattern on Wireless Network Capacity.** P. Geranmayeh, E. Grass. *Proc. ASIAN Conference on Communication and Networks (Asian CoMNet 2024)*, 1 (2024)
- (85) **Machine Learning Based Beam Selection for Maximizing Wireless Network Capacity.** P. Geranmayeh, E. Grass. *IEEE Access* 12, 45176 (2024)
- (86) **Neural Networks for Predicting the Optimal Beamforming Angles for Maximized Overall Wireless Network Capacity.** P. Geranmayeh, E. Grass. *Proc. 6th International Conference on Artificial Intelligence in Information and Communication (ICAII 2024)*, 77 (2024)
- (87) **Field Enhancement Induced by Surface Defects in Two-Dimensional ReSe2 Field Emitters.** F. Giubileo, E. Faella, D. Capista, M. Passacantando, O. Durante, A. Kumar, A. Pelella, K. Intonti, L. Viscardi, S. De Stefano, N. Martucciello, M.F. Craciun, S. Russo, A. Di Bartolomeo. *Nanoscale* 16(35), 16718 (2024)
- (88) **Improving Epitaxial Growth of y-Al2O3 Films via Sc2O3/Y2O3 Oxide Buffers.** S. Gougam, M.A. Schubert, D. Stolarek, S.B. Thapa, M.H. Zoellner. *Advanced Materials Interfaces* 221(12), 2400228 (2024)
- (89) **Self-Aware Reliable and Reconfigurable Computing Systems - An Overview.** D. Göhringer, A. Podlubne, F. Vargas, M. Krstic. *Proc. IEEE International Parallel and Distributed Processing Symposium Workshops (IPDPSW 2024)*, 124 (2024)
- (90) **FOSS CAD for the Compact Verilog - A Model Standardization in Open Access PDKs.** W. Grabinski, R.F. Scholz, J. Verley, E.R. Keiter, H. Vogt, D. Warning, P. Nenzi, F. Lannutti, F. Salfelder, A. Davis, M. Brinson, B. Virdee, G. Torri, D. Tomaszewski, M. Bucher, J.-M. Sallese, M. Müller, P. Kuthe, M. Krattenmacher. *Proc. 8th IEEE Electron Devices Technology and Manufacturing (EDTM 2024)*, (2024)
- (91) **An On-Chip Antenna-Coupled Preamplified D-Band to J-Band Total Power Radiometer Chip in 130 nm SiGe BiCMOS Technology.** J. Grzyb, M. Andree, H. Rücker, U.R. Pfeiffer. *Proc. IEEE Radio Frequency Integrated Circuits Symposium (RFIC 2024)*, 359 (2024)
- (92) **A Feature Extraction Approach for the Detection of Phishing Websites using Machine Learning.** S.C. Gundla, M.K. Praveen, M.J.K. Reddy, G. Gourav, A. Pankaj, Z. Stamenkovic, S.P. Raja. *Journal of Circuits, Systems, and Computers (JCSC)* 33(2), 2450031 (2024)
- (93) **Seamless Integration of Efficient 6G Wireless Technologies for Communication and Sensing Enabling Ecosystems.** J. Gutiérrez Teran, V. Sark, M. Ozâtes, A. Tzanakaki, M. Anastasopoulos, V. Frasca, I. Mesogiti, E. Theodoropoulou, G. Lyberopoulos, L. Díez, R. Agüero, I. Santamaría, P. Sen, S. Pryor, S. Mumtaz, S. Pontarelli, F. Trombetti, N. Bartolini, E. Jorswieck, X. Ding, N. Nikaein. *Proc. 9th Workshop on 5G - Putting Intelligence to the Network Edge (5G-PINE 2024) in: Artificial Intelligence Applications and Innovations. AIAI 2024 IFIP WG 12.5 International Workshops, Springer, IFIPAICT 715*, 190 (2024)
- (94) **Minimizing the Latency of Freezing of Gait Detection on Wearable Devices.** A. Haddadi Esfahani, O. Maye, M. Froberg, St. Ortmann, P. Langendörfer. *Proc. iCampus Cottbus Conference (iCCC 2024)*, 49 (2024)
- (95) **Real Time Detection of Freezing of Gait of Parkinson Patients based on Machine Learning Running on a Body Worn Device.** A. Haddadi Esfahani, O. Maye, M. Froberg, M. Speh, M. Jöbges, P. Langendörfer. *Procedia Computer Science* 239, 177 (2024)
- (96) **Characterization of Drop Cast as Strategy for the Biofunctionalization of Plasmonic Sensors Based on Highly Doped Ge-Based.** E. Hardt, R. Varricchio, C.A. Chavarin, O. Skibitzki, A. di Masi, G. Capellini. *Proc. iCampus Cottbus Conference (iCCC 2024)*, 191 (2024)
- (97) **Design of Radiation-Tolerant Digital-to-Analog Converter and Investigation on Analog Single Event Transient Effects.** A. Harneer Suresh, C. Carta, G. Fischer. *AEÜ - International Journal of Electronics and Communications* 187, 155503 (2024)
- (98) **Circuit Design Methodology of Radiation-Tolerant DAC for Space Applications.** A. Harneer Suresh, J.A. Singer, G. Fischer. *Proc. Panhellenic Conference on Electronics and Telecommunication (PACET 2024)*, (2024)
- (99) **Understanding Transistor Aging Impact on the Behavior of RRAM Cells.** S.H. Hashemi Shadmehri, S. Chakraborty, T. Copetti, F. Vargas, L. Bolzani Poehls. *Proc. 32nd IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC 2024)*, (2024)
- (100) **Investigation of Defect Formation in Monolithic Integrated GaP Islands on Si Nanotips Wafers.** I. Häusler, R. Repa, A. Hammud, O. Skibitzki, F. Hatami. *Electronics (MDPI)* 13(15), 2945 (2024)

- (101) **Structural and Morphological Properties of CeO₂ Films Deposited by Radio Frequency Magnetron Sputtering for Back-End-of-Line Integration.** A. Hayat, M. Ratzke, C.A. Chavarin, M.H. Zoellner, A.A. Corley-Wiciak, M.A. Schubert, Ch. Wenger, I.A. Fischer. *Thin Solid Films* 807, 140547 (2024)
- (102) **Evaluating an Open-Source Hardware Approach from HDL to GDS for a Security Chip Design – A Review of the Final Stage of Project HEP.** T. Henkes, S. Reith, M. Stöttinger, N. Herfurth, G. Panic, J. Wälde, F. Buschkowski, P. Sasdrich, C. Lüth, M. Funck, T. Kiyan, A. Weber, D. Boeck, R. Rathfelder, T. Grawunder. *Proc. 27th Design, Automation and Test in Europe (DATE 2024)*, (2024)
- (103) **Design and Simulation of Si-Photonic Nanowire-Waveguides with DEP Concentration Electrodes for Biosensing Applications.** A. Henriksson, P. Neubauer, M. Birkholz. zu finden unter: <https://arxiv.org/abs/2406.19534>
- (104) **A 130-GHz Bandwidth 61-dBm Variable-Gain Differential Linear TIA in a 130-nm SiGe:C BiCMOS Technology.** T. Herbel, M. Tarar, F. Vater, D. Kissinger. *Proc. IEEE BiCMOS and Compound Semiconductor Integrated Circuits and Technology Symposium (BCICTS 2024)*, 130 (2024)
- (105) **Novel Backside IC Preparation Stopping on STI with Full Circuit Functionality using Chemical Mechanical Polishing (CMP) with Highly Selective Slurry.** N. Herfurth, A.A. Adesunkanmi, A. Bouchtoug, G. Zwicker, C. Boit. *Proc. 50th International Symposiums for Testing and Failure Analysis (ISTFA 2024)*, 416 (2024)
- (106) **Półprzewodnikowa Rewolucja w Domenie Open Source.** K. Herman, A. Sojka-Piotrowska. *Elektronika Praktyczna* 5, (2024)
- (107) **Jak zaprojektować i wyprodukować układ scalony bez nakładów finansowych?** K. Herman, A. Sojka-Piotrowska. *Elektronika Praktyczna* 6, (2024)
- (108) **On the Versatility of the IHP BiCMOS Open Source and Manufacturable PDK: A Step Towards the Future where Anybody can Design and Build a Chip.** K. Herman, N. Herfurth, T. Henkes, S. Andreev, R.F. Scholz, M. Müller, M. Krattenmacher, H. Pretl, W. Grabinski. *IEEE Solid-State Circuits Magazine* 16(2), 30 (2024)
- (109) **Reflections on the First European Open Source PDK by IHP – Experiences After One Year and Future Activities.** K. Herman, R.F. Scholz, S. Andreev. *Proc. 31st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2024)*, abstr. book 19 (2024)
- (110) **Reflections on the First European Open Source PDK by IHP – Experiences After One Year and Future Activities.** K. Herman, R.F. Scholz, S. Andreev. *Proc. 31st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2024)*, 124 (2024)
- (111) **Jitter Minimization of Phase-Locked Loops for OFDM-Based Millimeter-Wave Communication Systems with Beam Steering.** F. Herzel, C. Carta, G. Fischer. *Proc. 31st IEEE International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2024)*, 19 (2024)
- (112) **Jitter Minimization of Phase-Locked Loops for OFDM-Based Millimeter-Wave Communication Systems with Beam Steering.** F. Herzel, C. Carta, G. Fischer. *Proc. 31st IEEE International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2024)*, abstr. book 52 (2024)
- (113) **Contactless Assessment of Physiological Parameters with a 61 GHz CW Medical Radar System.** R. Holzschuh, H. Lu, B. Sütbas, A.E. Bezer, S. Freund, St. Ortmann, D.G. Meininghaus. *Proc. iCampus Cottbus Conference (iCCC 2024)*, 53 (2024)
- (114) **A Tunable Inductor Peaking Technique for Optical Communication Systems.** F. Iseini, H.-T. Lin, N. Pelagalli, A. Malignaggi, C. Carta, G. Kahmen, A. Weisshaar. *Proc. 33rd IEEE Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS 2024)*, 55 (2024)
- (115) **Optical Properties of Multilayered Staggered SiGe Nanodots Depending on Si Spacer Growth Temperature.** Y. Ito, R. Yokogawa, W.-C. Wen, Y. Yamamoto, A. Ogura. *ECS Meeting Abstracts MA2024-02*, 2341 (2024)
- (116) **Optical Properties of Multilayered Staggered SiGe Nanodots Depending on Si Spacer Growth Temperature.** Y. Ito, R. Yokogawa, W.-C. Wen, Y. Yamamoto, A. Ogura. *ECS Transactions* 114(2), 207 (2024)
- (117) **Optical Properties of Multilayered Staggered SiGe Nanodots Depending on Si Spacer Growth Temperature.** Y. Ito, R. Yokogawa, W.-C. Wen, Y. Yamamoto, T. Minowa, R. Fujimori, A. Ogura. *Proc. Pacific Rim Meeting on Electrochemical and Solid-State Science (PRIME 2024)*, (2024)
- (118) **Strain and Optical Characteristics Analyses of 3-Dimensional Self-Ordered Multilayered SiGe Nanodots by Photoluminescence and Raman Spectroscopy.** Y. Ito, R. Yokogawa, W.-C. Wen, Y. Yamamoto, T. Minowa, A. Ogura. *Japanese Journal of Applied Physics* 63(3), 03SP31 (2024)
- (119) **A Signal Source in J-Band with 237-287 GHz Tuning Range in a 130-nm SiGe BiCMOS Process.** F.I. Jamal, T. Mausolf, M. Yazici, F. Vater, C. Carta, R.F. Scholz. *Proc. 54th European Microwave Week (EuMW 2024)*, 114 (2024)
- (120) **A 2.5 - 2.7 GHz Frequency-Tunable Band-Pass Delta-Sigma Modulator in a 0.25µm SiGe BiCMOS for Fiber-Wireless Digital Distributed Antenna Systems.** S. Jang, B. Park, P. Ostrovskyy, J. Jung, K.-S. Kim, J.-H. Hwang. *Proc. 50th European Conference on Optical Communications (ECOC 2024)*, 1220 (2024)
- (121) **Soft-Error Analysis of RRAM 1T1R Compute-In-Memory Core for Artificial Neural Networks.** R. Jia, S. Pechmann, M. Fritscher, Ch. Wenger, L. Zhang, A. Hagelauer. *Proc. 39th Conference on Design of Circuits and Integrated Systems (DCIS 2024)*, (2024)
- (122) **Beam Training Optimization by Exploiting Sensing Information at MAC Layer.** Y. Jian, L. Lopacinski, N. Maletic, E. Grass. *Proc. 34th IEEE International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC 2024)*, (2024)
- (123) **Complex Electro-Optic Frequency-Response Characterization of a Si Ring Modulator.** Y. Jo, Y. Ji, H.-K. Kim, St. Lischke, Ch. Mai, L. Zimmermann, W.-Y. Choi. *Proc. IEEE Silicon Photonics Conference (SiPhotonics 2024)*, WA4 (2024)
- (124) **Integration Concept of Plasmonic TiN Nanohole Arrays in a 200 nm BiCMOS Si Technology for Refractive Index Sensor Applications.** J. Jose, Ch. Mai, S. Reiter, Ch. Wenger, I.A. Fischer. *Proc. iCampus Cottbus Conference (iCCC 2024)*, 96 (2024)
- (125) **Novel Monolithic All-Silicon Coherent Transceiver Sub-Assembly based on Ring Modulators.** Y. Jo, M. Oberon, A. Peczek, Y. Ji, M. Kim, H.-K. Kim, M.-H. Kim, P.M. Seiler, St. Lischke, Ch. Mai, L. Zimmermann, W.-Y. Choi. *IEEE Journal of Lightwave Technology* 42(20), 7298 (2024)
- (126) **High Mobility GeSn Nanowire CMOS.** Y. Junk, O. Concepción, M. Fraenrath, J. Sun, J.H. Bae, F. Bärfwöl, A. Mai, J.M. Hartmann, D. Grütmacher, D. Buca, Q.T. Zhao. *ECS Meeting Abstracts MA2024-02*, 2368 (2024)
- (127) **Exploiting Static Power Consumption in Side-Channel Analysis.** I. Kabin, P. Langendörfer, Z. Dyka. *Proc. 25th IEEE Latin American Test Symposium (LATS 2024)*, (2024)
- (128) **Static Power Consumption as a New Side-Channel Analysis Threat to Elliptic Curve Cryptography Implementations.** I. Kabin, Z. Dyka, A.A. Sigourou, P. Langendörfer. *Proc. IEEE International Conference on Cyber Security and Resilience: Workshop on Hardware Cybersecurity Systems (HACS 2024)*, 884 (2024)
- (129) **Stealth Attacks on PCBs: An Experimental Plausibility Analysis.** I. Kabin, J. Schäffner, A.A. Sigourou, D. Petryk, Z. Dyka, D. Klein, S. Freud, P. Langendörfer. *Proc. IEEE International Conference on Cyber Security and Resilience: Workshop on Hardware Cybersecurity Systems (HACS 2024)*, 905 (2024)
- (130) **Selective Growth of GaP Crystals on CMOS-Compatible Si Nanotip Wafers by Gas Source Molecular Beam Epitaxy.** N. Kafi, S. Kang, C. Golz, A. Rodrigues-Weisensee, L. Persichetti, D. Ryzhak, G. Capellini, D. Spirito, M. Schmidbauer, A. Kwasniewski, C. Netzel, O. Skibitzki, F. Hatami. *Crystal Growth & Design* 24(7), 2724 (2024)
- (131) **Controlled Integration of InP Nanoislands with CMOS-Compatible Si using Nanoheteroepitaxy Approach.** A. Kamath, D. Ryzhak, A. Rodrigues, N. Kafi, C. Golz, D. Spirito, O. Skibitzki, L. Persichetti, M. Schmidbauer, F. Hatami. *Materials Science in Semiconductor Processing* 182, 108585 (2024)
- (132) **Resilience-by-Design in 6G Networks: Literature Review and Novel Enabling Concepts.** L. Khaloopour, Y. Su, F. Raskob, T. Meuser, R. Bless, L. Würsching, K. Abedi, M. Andjelkovic, H. Chaari, P. Chakraborty, M. Kreutzer, M. Hollick, T. Strufe, N. Franchi, V. Jamali. *IEEE Access* 12, 155666 (2024)
- (133) **A 4-λ × 28-Gb/s/λ Silicon Ring-Resonator-based WDM Receiver with a Reconfigurable Temperature Controller.** H.-K. Kim, J.-H. Lee, M. Kim, Y. Jo, St. Lischke, Ch. Mai, L. Zimmermann, W.-Y. Choi. *IEEE Journal of Lightwave Technology* 42(7), 2296 (2024)
- (134) **Enhanced Optical and Electrical Properties of Indium Tin Oxide for Solar Cell Applications via Post-Microwave Treatment.** T. Kim, M. Chae, D. Lee, H.-D. Kim. *Optical Materials* 149, 115093 (2024)

- (135) **Enhancing the Resistive Switching Properties of Transparent HfO₂-based Memristor Devices for Reliable Gasistor Applications.** T. Kim, D. Lee, M. Chae, H.-D. Kim. *Sensors (MDPI)* 24(19), 6382 (2024)
- (136) **Experimental Determination of Si Self-Interstitial Emission During Oxide Precipitation in Czochralski Silicon.** G. Kissinger, D. Kot, A. Sattler. *ECS Journal of Solid State Science and Technology* 13(8), 083005 (2024)
- (137) **Through the Looking-Glass: Sensitive Data Extraction by Optical Probing of Scan Chains.** T. Kiyan, L. Renkes, M. Sass, A. Saavedra, N. Herfurth, E. Amini, J.-P. Seifert. *IACR Transactions on Cryptographic Hardware and Embedded Systems (TCHES)* 2024(4), 541 (2024)
- (138) **Comparison of a Binary Signed-Digit Adder with Conventional Binary Adder Circuits on Layout Level.** J. Kliemt, M. Fritscher, D. Fey. *Proc. 37th GI/ITG International Conference on Architecture of Computing Systems (ARCS 2024)*, in: *Lecture Notes in Computer Science*, Springer, LNCS 14842, 236 (2024)
- (139) **200 mm Wafer Level Characterization at 2 K of Si/SiGe Field-Effect Transistors.** N.D. Komericki, P. Muster, F. Reichmann, T. Huckemann, D. Kaufmann, Y. Yamamoto, M. Lisker, W. Langheinrich, L.R. Schreiber, H. Bluhm, R. Quay. *ECS Meeting Abstracts MA2024-02*, 2321 (2024)
- (140) **200 mm Wafer Level Characterization at 2 K of Si/SiGe Field-Effect Transistors.** N.D. Komericki, P. Muster, F. Reichmann, T. Huckemann, D. Kaufmann, Y. Yamamoto, M. Lisker, W. Langheinrich, L.R. Schreiber, H. Bluhm, R. Quay. *ECS Transactions* 114(2), 133 (2024)
- (141) **Total-Ionizing-Dose Radiation Hardness of PJFETs Integrated in a 130nm SiGe BiCMOS Technology.** F. Korndörfer, J. Schmidt, R. Sorge. *Proc. iCampus Cottbus Conference (iCCC 2024)*, 199 (2024)
- (142) **IoT and Data Spaces as a Highly Distributed Measurement and Control System.** I. Koropiecki, K. Piotrowski. *Proc. 15th Konferencja Naukowa Systemy Pomiarowe w badaniach naukowych i w przemyśle (SP 2024)*, 41 (2024)
- (143) **Rational Design and Development of Room Temperature Hydrogen Sensors Compatible with CMOS Technology: A Necessary Step for the Coming Renewable Hydrogen Economy.** J. Kosto, R. Tschammer, C. Morales, K. Henkel, C.A. Chavarin, I. Costina, M. Ratzke, Ch. Wenger, I.A. Fischer, J.I. Flege. *Proc. iCampus Conference Cottbus (iCCC 2024)*, 182 (2024)
- (144) **Sustainable Use of a Smartphone and Regulatory Needs.** M. Kögler, K. Paulick, J. Scheffran, M. Birkholz. *Sustainable Development* 32(6), 6182 (2024)
- (145) **Technical and Societal Requirements for Handling of Personal Data on Wearable Devices.** M. Kögler, J. Hooyberghs, M. Birkholz. *Proc. Electronics Goes Green Conference (EGG 2024)*, 726 (2024)
- (146) **Post-CMP Cleaning of Silicon-Germanium Wafer Surfaces.** A. Krüger, A.A. Adesunkanmi, R. Lukose, Y. Yamamoto, W.-C. Wen, M. Lisker. *Proc. International Conference on Planarization/CMP Technology (ICPT 2024)*, 230 (2024)
- (147) **Development and Realization of Plasma Activated Low Temperature SiO_x-SiO_x Fusion Bonding based on a Collective Die-to-Wafer Bonding Process.** P. Krüger, T. Voß, S. Schulze, M. Wietstruck. *Proc. 10th IEEE Electronics System-Integration Technology Conference (ESTC 2024)*, (2024)
- (148) **Energy Flexibility as an Example for a Complex Data Exchange System.** M. Krysiak, K. Piotrowski. *Proc. 15th Konferencja Naukowa Systemy Pomiarowe w badaniach naukowych i w przemyśle (SP 2024)*, 53 (2024)
- (149) **Peakrad - A Completely European, ITAR-Free Microcontroller for Space Applications.** F.A. Kuentzer, K. Tittelbach-Helmrich, M. Schmidt, J. Cueto, C. Calligaro, A. Blomberg, M. Krstic, C. Duran, U. Gatti, C. Ferdinand. *Proc. International Conference on Radiation Applications (RAP 2024)*, abstr. book 111 (2024)
- (150) **A 112-Gb/s Hybrid-Integrated Si Photonic WDM Receiver with Ring-Resonator Filters.** J.-H. Lee, H.-K. Kim, M. Kim, Y. Jo, St. Lischke, Ch. Mai, L. Zimmermann, W.-Y. Choi. *Proc. IEEE Silicon Photonics Conference (SiPhotonics 2024)*, TuP14 (2024)
- (151) **Response Characteristic in Discontinuous NO Gas Flows for Boron Nitride Memristor Gas Sensor Devices.** D. Lee, M. Chae, H.-D. Kim. *Sensors and Actuators B: Chemical* 401, 135063 (2024)
- (152) **Comments on: RIO: Return Instruction Obfuscation for Bare-Metal IoT Devices with Binary Analysis.** K. Lehniger, P. Langendörfer. *to finden unter: <https://arxiv.org/abs/2412.08257>*
- (153) **StackSpecter: Detecting Stack Buffer Overflows for the Xtensa Architecture.** K. Lehniger, P. Langendörfer. *Proc. 34th International Telecommunication Networks and Applications Conference (ITNAC 2024)*, (2024)
- (154) **WindowGuardian: Return Address Integrity for ESP32 Microcontrollers with Xtensa Processors using AES and Register Windows.** K. Lehniger, S.P. Raghunathan, P. Langendörfer. *Proc. 12th International Conference on Cyber-Physical Systems and Internet-of-Things (CPS & IoT 2024)*, 29 (2024)
- (155) **Practical Investigation on the Distinguishability of Longa's Atomic Patterns.** S.H. Li, Z. Dyka, A.A. Sigourou, P. Langendörfer, I. Kabin. *Proc. 20th IEEE East-West Design & Test Symposium (EWDTS 2024)*, (2024)
- (156) **Tunable True-Time-Delay Unit based on Bridged T-Coil.** H.T. Lin, F. Iseini, A. Weisshaar. *Proc. 33rd IEEE Conference on Electrical Performance of Electronic Packaging and Systems (EPEPS 2024)*, 56 (2024)
- (157) **Ultra-Fast Ge-on-Si Photodetectors.** St. Lischke, D. Steckler, A. Peczek, J. Morgan, A. Beling, L. Zimmermann. *Proc. Optical Fiber Communications Conference and Exposition (OFC 2024)*, Tu3D.1 (2024)
- (158) **Alternative Fabrication Method for Ge-Fin Photodiodes with 3-dB Bandwidths Exceeding 110 GHz.** St. Lischke, J. Jose, D. Steckler, A. Kroh, A. Peczek, L. Zimmermann. *Proc. IEEE Silicon Photonics Conference (SiPhotonics 2024)*, MB6 (2024)
- (159) **Electrically Pumped SiGeSn/GeSn Heterostructures Micro-Rings Lasers.** T. Liu, L. Seidel, O. Concepcion, J. Witzens, G. Capellini, M. Oehme, D. Grützmacher, D. Buca. *Proc. Conference on Lasers and Electro-Optics Pacific Rim (CLEO-PR 2024)*, Fr1D_2 (2024)
- (160) **Towards SEU Fault Propagation Prediction with Spatio-Temporal Graph Convolutional Networks.** L. Lu, J.-C. Chen, M. Ulbricht, M. Krstic. *Proc. 27th Design, Automation and Test in Europe (DATE 2024)*, (2024)
- (161) **Advancing Graphene Integration in Si CMOS Technology: Challenges, Solutions, and Modulator Exploration.** M. Lukosius, R. Lukose, P.K. Dubey, A.I. Raju, D. Capista, M. Lisker, A. Mai, Ch. Wenger. *ECS Meeting Abstracts MA2024-02*, 1455 (2024)
- (162) **Graphene for Photonic Applications.** M. Lukosius, R. Lukose, P.K. Dubey, A.I. Raju, M. Lisker, A. Mai, Ch. Wenger. *Proc. 47th International ICT and Electronics Convention (MIPRO 2024)*, 1614 (2024)
- (163) **Machine Learning Methodologies to Predict the Results of Simulation-Based Fault Injection.** L. Lu, J.-C. Chen, M. Ulbricht, M. Krstic. *IEEE Transactions on Circuits and Systems I* 71(5), 1978 (2024)
- (164) **Towards Critical Flip-Flop Identification for Soft-Error Tolerance with Graph Neural Networks.** L. Lu, J.-C. Chen, M. Ulbricht, M. Krstic. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 43(4), 1135 (2024)
- (165) **Towards a CMOS Compatible Refractive Index Sensor: Cointegration of TiN Nanohole Arrays and Ge Photodetectors in a 200 mm Wafer Silicon Technology.** Ch. Mai, A. Peczek, A. Kroh, J. Jose, S. Reiter, Ch. Wenger, I.A. Fischer. *Optics Express* 32(17), 29099 (2024)
- (166) **Migrating WSN Applications from Monolithic to a Modular Approach based on the tinyDSM Middleware: Scenarios and Analysis.** J. Maj, P. Zielony, K. Piotrowski. *Proc. 22nd IEEE International Conference on Pervasive Intelligence and Computing (PICom 2024)*, 119 (2024)
- (167) **Kangaroo Protocol as a Sensor: Monitoring Parameters of Wireless Sensor Networks.** J. Maj, K. Piotrowski. *Proc. 15th Konferencja Naukowa Systemy Pomiarowe w badaniach naukowych i w przemyśle (SP 2024)*, 85 (2024)
- (168) **Electron Emission from Alignment-Controlled Multiple Stacks of SiGe Nanodots Embedded in Si Structures.** K. Makiyama, Y. Yamamoto, H. Yagi, L. Li, N. Taoka, B. Tillack, S. Miyazaki. *Materials Science in Semiconductor Processing* 174, 108227 (2024)
- (169) **Influence of Stop and Gate Voltage on Resistive Switching of 1T1R HfO₂-based Memristors, a Modeling and Variability Analysis.** D. Maldonado, A. Cantudo, K.D.S. Reddy, S. Pechmann, M. Uhlmann, Ch. Wenger, J.B. Roldán, E. Pérez. *Materials Science in Semiconductor Processing* 182, 108726 (2024)
- (170) **Kinetic Monte Carlo Simulation Analysis of the Conductance Drift in Multilevel HfO₂-based RRAM Devices.** D. Maldonado, A. Baroni, S. Aldana, K.D.S. Reddy, S. Pechmann, Ch. Wenger, J.B. Roldán, E. Pérez. *Nanoscale* 16(40), 19021 (2024)

- (171) **Strain in Hybrid Organic-Inorganic Metal Halide Perovskites Microstructures by Numerical Simulations.** C.L. Manganeli, B. Martin-Garcia, D. Spirito. *ChemPhysChem* 25(18), e202400394 (2024)
- (172) **Analysis of IQ Imbalance Effects on Physical Layer Secure Key Generation in mmWave Systems.** N. Manjappa, N. Maletic, L. Wimmer, E. Grass. *Proc. 11th International Symposium on Networks, Computers and Communications (ISNCC 2024)*, (2024)
- (173) **A Novel Ensemble Machine Learning Algorithm for Predicting the Suitable Crop to Cultivate based on Soil and Environment Characteristics.** G. Mariammal, A. Surulandi, Z. Stamenkovic, S.P. Raja. *IEEE Canadian Journal of Electrical and Computer Engineering* 47(3), 127 (2024)
- (174) **Image Processing for Smart Agriculture Applications using Cloud-Fog Computing.** D. Markovic, Z. Stamenkovic, B. Dordevic, S. Randic. *Sensors (MDPI)* 24(18), 5965 (2024)
- (175) **A 434 MHz Wakeup Receiver Analog Frontend based on a Switched Injection-Triggered Oscillator with -91 dBm Input Sensitivity and 175 pJ/bit Efficiency.** G. Meller, M. Methfessel, F. Protze, J. Wagner, F. Ellinger. *Proc. 27th European Microwave Week (EuMW 2024)*, 251 (2024)
- (176) **Radiation Tolerance of SiGe BiCMOS Monolithic Silicon Pixel Detectors without Internal Gain Layer.** M. Milanesio, L. Paolozzi, T. Moretti, R. Cardella, T. Kugathasan, F. Martinelli, A. Picardi, I. Semendyaev, S. Zambito, K. Nakamura, Y. Tabuko, M. Togawa, M. Elviretti, H. Rücker, F. Cadoux, R. Cardarelli, S. Débieux, Y. Favre, C.A. Fenoglio, D. Ferrere, S. Gonzalez-Sevilla, L. Iodice, R. Kotitsa, C. Magliocca, M. Nessi, A. Pizarro-Medina, J. Sabater Iglesias, J. Saidi, M. Vicente Barreto Pinto, G. Iacobucci. *Journal of Instrumentation* 19, P01014 (2024)
- (177) **Time Resolution of a SiGe BiCMOS Monolithic Silicon Pixel Detector without Internal Gain Layer with a Femtosecond Laser.** M. Milanesio, L. Paolozzi, T. Moretti, A. Latshaw, L. Bonacina, R. Cardella, T. Kugathasan, A. Picardi, M. Elviretti, H. Rücker, R. Cardarelli, L. Cecconi, C.A. Fenoglio, D. Ferrere, S. Gonzalez-Sevilla, L. Iodice, R. Kotitsa, C. Magliocca, M. Nessi, A. Pizarro-Medina, J. Sabater Iglesias, I. Semendyaev, J. Saidi, M. Vicente Barreto Pinto, S. Zambito, G. Iacobucci. *Journal of Instrumentation* 19, P04029 (2024)
- (178) **A 30 GHz PLL with Automated Frequency Control Option for Robust Operation in Harsh Environments.** A. Minareci Ergintav, F. Herzel, G. Fischer, D. Kissinger, C. Carta. *Proc. 19th European Microwave Integrated Circuits Conference (EuMIC 2024)*, 34 (2024)
- (179) **Low Disorder and High Mobility 2DEG in Si/SiGe Fabricated in 200 nm BiCMOS Pilotline.** A. Mistrioni, F. Reichmann, Y. Yamamoto, M.H. Zoellner, G. Capellini, L. Diebel, D. Bougeard, M. Lisker. *ECS Meeting Abstracts MA2024-02*, 2320 (2024)
- (180) **Low Disorder and High Mobility 2DEG in Si/SiGe Fabricated in 200 nm BiCMOS Pilotline.** A. Mistrioni, F. Reichmann, Y. Yamamoto, M.H. Zoellner, G. Capellini, L. Diebel, D. Bougeard, M. Lisker. *ECS Transactions* 114(2), 123 (2024)
- (181) **Bottom-Up Design of a Supercycle Recipe for Atomic Layer Deposition of Tunable Indium Gallium Zinc Oxide Thin Films.** C. Morales, P. Plate, L. Marth, F. Naumann, M. Kot, C. Janowitz, P. Kus, M.H. Zöllner, Ch. Wenger, K. Henkel, J.I. Flege. *ACS Applied Electronic Materials* 6(8), 5694 (2024)
- (182) **The Effects of Substrate Interaction on the Chemical Properties of Atomic Layer Deposited Ultrathin Ceria Layers.** C. Morales, R. Tschammer, J. Kosto, C.A. Chavarin, Ch. Wenger, I. Villar-Garcia, V. Pérez-Dieste, K. Henkel, J.I. Flege. *Proc. European Conference on Applications of Surface and Interface Analysis (ECASIA 2024)*, abstr. book (2024)
- (183) **Innovationscampus Elektronik und Mikrosensorik Cottbus: Rational Design and Development of Room Temperature H2 Sensors Compatible with CMOS Technology for the Coming Renewable H2 Economy.** C. Morales, J. Kosto, R. Tschammer, K. Henkel, C.A. Chavarin, I. Costina, M. Ratzke, Ch. Wenger, I.A. Fischer, J.I. Flege. *Proc. 1st Annual Meeting of the Energy Innovation Center (EIZ 2024)*, abstr. book (2024)
- (184) **Testbeam Results of Irradiated SiGe BiCMOS Monolithic Silicon Pixel Detector without Internal Gain Layer.** T. Moretti, M. Milanesio, R. Cardella, T. Kugathasan, A. Picardi, I. Semendyaev, M. Elviretti, H. Rücker, K. Nakamura, Y. Takubo, M. Togawa, F. Cadoux, R. Cardarelli, L. Cecconi, S. Débieux, Y. Favre, C.A. Fenoglio, D. Ferrere, S. Gonzalez-Sevilla, L. Iodice, R. Kotitsa, C. Magliocca, M. Nessi, A. Pizarro-Medina, J. Sabater Iglesias, J. Saidi, M. Vicente Barreto Pinto, S. Zambito, L. Paolozzi, G. Iacobucci. *Journal of Instrumentation* 19, P07036 (2024)
- (185) **Towards Secure and Reliable Heterogeneous Real-Time Telemetry Communication in Autonomous UAV Swarms.** P. Mykytyn, M. Brzozowski, Z. Dyka, P. Langendörfer. *Proc. iCampus Cottbus Conference (iCCC 2024)*, 222 (2024)
- (186) **A Survey on Sensor- and Communication-based Issues of Autonomous UAVs.** P. Mykytyn, M. Brzozowski, Z. Dyka, P. Langendörfer. *Computer Modeling in Engineering & Sciences* 138(2), 1019 (2024)
- (187) **Precise Sensors for Localization in the Drone Swarm.** M. Nattke, R. Rotta, R. Natarov, O. Archila, P. Mykytyn. *Proc. iCampus Cottbus Conference (iCCC 2024)*, 166 (2024)
- (188) **Enhancing the WLAN OFDM-PHY by OTFS Precoding.** M. Nauman, L. Lopacinski, N. Maletic, M. Scheide, J. Gutiérrez Teran, M. Krstic, E. Grass. *Proc. 33rd Joint European Conference on Networks and Communications & 6G Summit (EuCNC/6G Summit 2024)*, (2024)
- (189) **Software Implemented Implication-based Online Error Detection.** J. Nedeljkovic, G. Nikolic, M. Andjelkovic, T. Nikolic. *Proc. 59th International Scientific Conference on Information, Communication and Energy Systems and Technologies (ICEST 2024)*, 1 (2024)
- (190) **Local Laser-Induced Solid-Phase Recrystallization of Phosphorus-Implanted Si/SiGe Heterostructures for Contacts Below 4.2 K.** M. Neul, I.V. Sprave, L.K. Diebel, L.G. Zinkl, F. Fuchs, Y. Yamamoto, C. Vedder, D. Bougeard, L.R. Schreiber. *Physical Review Materials* 8(4), 043801 (2024)
- (191) **Blooming and Pruning: Learning from Mistakes with Memristive Synapses.** K. Nikiruy, E. Perez, A. Baroni, K.D.S. Reddy, S. Pechmann, Ch. Wenger, M. Ziegler. *Scientific Reports* 14, 7802 (2024)
- (192) **An Efficient and Low Complexity Greedy Power Allocation Algorithm for URLLC Links.** N. Odhah, E. Grass, R. Kraemer. *Proc. iCampus Cottbus Conference (iCCC 2024)*, 175 (2024)
- (193) **Strong Optical Coupling of Lattice Resonances in a Top-Down Fabricated Hybrid Metal-Dielectric Al/Si/Ge Metasurface.** P. Oleynik, F. Berkmann, S. Reiter, J. Schlipf, M. Ratzke, Y. Yamamoto, I.A. Fischer. *Nano Letters* 24(10), 3142 (2024)
- (194) **Unsourced Random Access using ODMA and Polar Codes.** M. Özates, M. Kazemi, T.M. Duman. *IEEE Wireless Communications Letters* 13(4), 1044 (2024)
- (195) **An ODMA-Based Unsourced Random Access Scheme with a Multiple Antenna Receiver.** M. Özates, M. Kazemi, T.M. Duman. *Proc. IEEE Global Communications Conference (GLOBECOM 2024)*, 1852 (2024)
- (196) **Optofluidic Biosensors with Si-based Photonic Integrated Circuit Technology.** M. Paul, G. Lecci, C. Schumann, A. Mai, P. Steglich. *Proc. iCampus Conference Cottbus (iCCC 2024)*, 112 (2024)
- (197) **Three-Dimensional Reconstruction of Interface Roughness and Alloy Disorder in Ge/GeSi Asymmetric Coupled Quantum Wells using Electron Tomography.** E. Paysen, G. Capellini, E. Talamas Simola, L. Di Gaspare, M. De Seta, M. Virgilio, A. Trampert. *ACS Applied Materials & Interfaces* 16(3), 4189 (2024)
- (198) **A Current Mirror Based Read Circuit Design with Multi-Level Capability for Resistive Switching Devices.** S. Pechmann, E. Perez, Ch. Wenger, A. Hagelauer. *Proc. International Conference on Electronics, Information, and Communication (ICEIC 2024)*, (2024)
- (199) **IM/DD Silicon Receiver Subassembly with Opto-Electrical Bandwidth of 84 GHz.** A. Peczek, M. Wietstruck, G. Winzer, Ch. Mai, St. Lischke, M.M. Khafaji, S. Schulze, T. Voß, P. Krüger, A. Kroh, L. Zimmermann. *Proc. 50th European Conference on Optical Communications (ECOC 2024)*, 1728 (2024)
- (200) **Repeatability of Automated Edge Coupling for Wafer Level Testing.** A. Peczek, T. Minner, Q. Yuan, Ch. Mai, D. Rishavy, L. Zimmermann. *Proc. 25th European Conference on Integrated Optics (ECIO 2024)*, in: *Springer Proceedings in Physics*, Springer, 402, 71 (2024)
- (201) **Forming and Resistive Switching of HfO₂-Based RRAM Devices at Cryogenic Temperature.** E. Perez-Bosch Quesada, A. Mistrioni, R. Jia, K.D.S. Reddy, F. Reichmann, Ch. Wenger, E. Perez. *IEEE Electron Device Letters* 45(12), 2391 (2024)
- (202) **Employing Optical Beam-Induced Current Measurement in Side-Channel Analysis.** D. Petryk, I. Kabin, J. Belohoubek, P. Fiser, J. Schmidt, M. Krstic, Z. Dyka. *Proc. 36. ITG/GMM/GI-Workshop Testmethoden und Zuverlässigkeit von Schaltungen und Systemen (TuZ 2024)*, 15 (2024)
- (203) **On the Importance of Reproducibility of Experimental Results Especially in the Domain of Security.** D. Petryk, I. Kabin, P. Langendörfer,

- Z. Dyka. Proc. 13th Mediterranean Conference on Embedded Computing (MECO 2024), 311 (2024)
- (204) **Resistance of Radiation Tolerant TMR Shift Registers to Optical Fault Injections.** D. Petryk, P. Langendörfer, Z. Dyka. Works in Progress in Embedded Computing Journal (WiPiEC) 10(2), 1 (2024)
- (205) **Resistance of Radiation Tolerant TMR Shift Registers to Optical Fault Injections.** D. Petryk, P. Langendörfer, Z. Dyka. Proc. 27th Euromicro Conference Series on Digital System Design (DSD 2024), (2024)
- (206) **Design and Phase Noise Measurements of an Ultrafast Dual-Modulus Prescaler in 130 nm SiGe:C BiCMOS.** L. Polzin, M. van Delden, N. Pohl, H. Rücker, T. Musch. IEEE Transactions on Microwave Theory and Techniques 72(1), 525 (2024)
- (207) **Selection of Database for Efficient Energy Management in a Power Grid.** P. Powroznik, F. Oplotny, M. Komarowski, I. Koropiecki, K. Turchan, K. Piotrowski. Przegląd Elektrotechniczny 12, 113 (2024)
- (208) **Design of Tuning-Efficient Graphene-Integrated Electro-Optic Ring Modulators.** M.A.I. Raju, P.K. Dubey, R. Lukose, Ch. Wenger, A. Mai, M. Lukosius. Proc. IEEE Photonic Conference (IPC 2024), MD3.6 (2024)
- (209) **Optimization of Technology Processes for Enhanced CMOS-Integrated 1T-1R RRAM Device Performance.** K.D.S. Reddy, E. Perez, A. Baroni, M.K. Mahadevaiah, St. Marschmeyer, M. Fraschke, M. Lisker, Ch. Wenger, A. Mai. The European Physics Journal B 97, 181 (2024)
- (210) **Advancing Si Spin Qubit Research: Process Integration of Hall Bar FETs on Si/SiGe in a 200nm BiCMOS Pilot Line.** F. Reichmann, A. Mistrotni, Y. Yamamoto, P. Kulse, St. Marschmeyer, D. Wolansky, O. Fursenko, M.H. Zoellner, G. Capellini, L. Diebel, D. Bougeard, M. Lisker. ECS Transactions 114(2), 109 (2024)
- (211) **Advancing Si Spin Qubit Research: Process Integration of Hall Bar FETs on Si/SiGe in a 200nm BiCMOS Pilot Line.** F. Reichmann, A. Mistrotni, Y. Yamamoto, P. Kulse, St. Marschmeyer, D. Wolansky, O. Fursenko, M.H. Zoellner, G. Capellini, L. Diebel, D. Bougeard, M. Lisker. ECS Meeting Abstracts MA2024-02, 2319 (2024)
- (212) **Design and Analysis of an Adaptive Radiation Resilient RRAM Subsystem for Processing Systems in Satellites.** D. Reiser, J.-C. Chen, J. Knödtel, M. Krstic, M. Reichenbach. Design Automation for Embedded Systems 28, 111 (2024)
- (213) **On-Chip Refractive Index Sensors Based on Plasmonic TiN Nanohole Arrays.** S. Reiter, A. Sengül, Ch. Mai, D. Spirito, Ch. Wenger, I.A. Fischer. Proc. IEEE Silicon Photonics Conference (SiPhotonics 2024), TuP10 (2024)
- (214) **Stochastic Resonance in 2D Materials Based Memristors.** J.B. Roldán, A. Cantudo, J.J. Torres, D. Maldonado, Y. Shen, W. Zheng, Y. Yuan, M. Lanza. npj 2D Materials and Applications 8, 7 (2024)
- (215) **Thermal Compact Modeling and Resistive Switching Analysis in Titanium Oxide-Based Memristors.** J.B. Roldán, A. Cantudo, D. Maldonado, C. Aguilera-Pedregosa, E. Moreno, T. Swoboda, F. Jimenez-Molinos, Y. Yuan, K. Zhu, M. Lanza, M.M. Rojo. ACS Applied Electronic Materials 6(2), 1424 (2024)
- (216) **Open-Source Software, Fediverse and Custom ROMs as Tools for a Sustainable Internet.** S. Rödiger, M. Kögler, M. Birkholz. Proc. Electronics Goes Green Conference (EGG 2024), 655 (2024)
- (217) **Nanoheteroepitaxy of Ge and SiGe on Si: Role of Composition and Capping on Quantum Dot Photoluminescence.** D. Ryzhak, J. Aberl, E. Prado-Navarrete, L. Vukusic, A.A. Corley-Wiciak, O. Skibitzki, M.H. Zoellner, M.A. Schubert, M. Virgilio, M. Brehm, G. Capellini, D. Spirito. Nanotechnology 35(50), 505001 (2024)
- (218) **Selective Epitaxy of Germanium on Silicon for the Fabrication of CMOS Compatible Short-Wavelength Infrared Photodetectors.** D. Ryzhak, A.A. Corley-Wiciak, P. Steglich, Y. Yamamoto, J. Frigerio, R. Giani, A. De Iacovo, D. Spirito, G. Capellini. Materials Science in Semiconductor Processing 176, 108308 (2024)
- (219) **Photoemission Study of Si and Ge Segregation on Al/Si_{0.8}Ge_{0.2} Structures.** T. Sakai, A. Ohta, N. Taoka, Y. Yamamoto, M.A. Schubert, S. Miyazaki, K. Makiyara. ECS Transactions 114(2), 177 (2024)
- (220) **Photoemission Study on Si and Ge Segregation on Al/Si_{0.8}Ge_{0.2} Structures.** T. Sakai, A. Ohta, N. Taoka, Y. Yamamoto, M.A. Schubert, S. Miyazaki, K. Makiyara. ECS Meeting Abstracts MA2024-02, 2336 (2024)
- (221) **MIMO Capacity Maximization with Beyond-Diagonal RIS. I.** Santamaria, M. Soleymani, E. Jorswieck, J. Gutiérrez Teran. Proc. 25th IEEE International Workshop on Signal Processing Advances in Wireless Communications (SPAWC 2024), 936 (2024)
- (222) **Total-Ionizing-Dose Radiation Hardness of Inter-Layer Dielectrics in a 130 nm SiGe BiCMOS Technology.** J. Schmidt, F. Korndörfer, R. Sorge. Proc. iCampus Cottbus Conference (iCCC 2024), 203 (2024)
- (223) **A 79 GHz SiGe Doherty Power Amplifier Suitable for Next-Generation Automotive Radar.** J. Schoepfel, T.T. Braun, J. Hellwig, H. Rücker, N. Pohl. IEEE Journal of Microwaves 4(4), 721 (2024)
- (224) **Radiation-Hardening-by-Design Triple Modular Redundancy Flip-Flops with Self-Correction.** O. Schrape, A. Breitenreiter, L. Lu, M. Andjelkovic, E.P. Garcia, M. Lopez-Vallejo, M. Krstic. Proc. IEEE Nordic Circuits and Systems Conference (NorCAS 2024), (2024)
- (225) **A Collective Die to Wafer Bonding Approach based on Surface-Activated Aluminum-Aluminum Thermocompression Bonding.** S. Schulze, T. Voß, P. Krüger, M. Wietstruck. IEEE Transactions on Components, Packaging and Manufacturing Technology 14(3), 519 (2024)
- (226) **Determination of the Indirect Bandgap of Lattice-Matched SiGeSn on Ge.** D. Schwarz, E. Kasper, F. Bärfwolf, I. Costina, M. Oehme. Materials Science in Semiconductor Processing 180, 108565 (2024)
- (227) **Experimental Object Localization using mmWave Beamforming Communication System.** E. Sedunova, N. Maletic, D. Cvetkovski, E. Grass. Proc. 287. ITG Fachtagung Mobilkommunikation (2024), in: ITG-Fachbericht: Mobilkommunikation – Technologien und Anwendungen, VDE ITG, 316, 143 (2024)
- (228) **Analysis of LoS MIMO Channel for the D-Band.** P. Shakya, D. Cvetkovski, K. KrishneGowda, L. Lopancinski, E. Grass. Proc. IEEE Future Networks World Forum (FNWF 2024), (2024)
- (229) **Resilient Movement Planning for Continuum Robots.** O. Shami-lyan, I. Kabin, Z. Dyka, P. Langendörfer. Proc. Multi-Objective Decision Making Workshop (MODEM 2024), (2024)
- (230) **Joint Radar and Communications: Architectures, Use Cases, Aspects of Radio Access, Signal Processing, and Hardware.** V. Shatov, B. Nuss, S. Schieler, P.K. Bishoyi, L. Wimmer, M. Lübke, N. Keshtiarast, Ch. Fischer, D. Lindenschmitt, B. Geiger, R. Thomä, A. Fellan, L. Schmalen, M. Petrova, H.D. Schotten, N. Franchi. IEEE Access 12, 47888 (2024)
- (231) **Continuous-Wave Electrically Pumped Multi-Quantum-Well Laser based on Group-IV Semiconductors.** L. Siedel, T. Liu, O. Concepcion, B. Marzban, V. Kiyek, D. Spirito, D. Schwarz, A. Benkhelifa, J. Schulze, Z. Ikonik, J.-M. Hartmann, A. Chelnokov, J. Witzens, G. Capellini, M. Oehme, D. Grützmacher, D. Buca. Nature Communications 15, 10502 (2024)
- (232) **Energy Efficiency Comparison of RIS Architectures in MISO Broadcast Channels.** M. Soleymani, I. Santamaria, E. Jorswieck, M. Di Renzo, J. Gutiérrez Teran. Proc. 25th IEEE International Workshop on Signal Processing Advances in Wireless Communications (SPAWC 2024), 701 (2024)
- (233) **Test Cost Reduction for VLSI Adaptive Test with K-Nearest Neighbor Classification Algorithm.** T. Song, Z. Huang, L. Zhang, Q. Hong, L. Zhang, M. Krstic. IEEE Transactions on Circuits and Systems II 71(7), 3508 (2024)
- (234) **Self-Consistent Determination of Interface and Bulk Parameters of Oxide/Si/SiGe/Si Layer Stacks by Means of Simultaneous Measurement of Gate Current and High Frequency Gate Capacitance in Non-Steady State Non-Equilibrium.** R. Sorge, W.-C. Wen, M. Lisker, N. Inomata, Y. Yamamoto. Proc. iCampus Cottbus Conference (iCCC 2024), 207 (2024)
- (235) **Lattice Dynamics in Chiral Tellurium by Linear and Circularly Polarized Raman Spectroscopy: Crystal Orientation and Handedness.** D. Spirito, S. Marras, B. Martín-García. Journal of Materials Chemistry C: Materials for Optical and Electronic Devices 12(7), 2544 (2024)
- (236) **Raman Spectroscopy for Epitaxial Silicon-Germanium-Tin Alloys.** D. Spirito, A.A. Corley-Wiciak, O. Concepción, S. Chen, D. Ryzhak, M.H. Zoellner, C.L. Manganello, T. Li, D. Buca, G. Capellini. ECS Meeting Abstracts MA2024-02, 2349 (2024)
- (237) **A Compact and Fully Integrated 0.48 THz FMCW Radar Transceiver Combined with a Dielectric Lens.** D. Starke, J. Bott, F. Vogelsang, B. Sievert, J. Barowski, C. Schulz, H. Rücker, A. Rennings, D. Erni, I. Rolfes, N. Pohl. International Journal of Microwave and Wireless Technologies (IJMWT) 16(5), 738 (2024)
- (238) **Germanium Photodiodes with 3-dB Bandwidths >110 GHz and L-Band Responsivity of >0.7 A/W.** D. Steckler, St. Lischke, A. Kroh, A.

Peczek, G. Georgieva, L. Zimmermann. IEEE Photonics Technology Letters 36(12), 775 (2024)

(239) **Monolithic Integration of 80-GHz Ge Photodetectors and 100-GHz Ge Electro-Absorption Modulators in a Photonic BiCMOS Technology.** D. Steckler, St. Lischke, A. Peczek, A. Kroh, J. Beyer, L. Zimmermann. IEEE Transactions on Electron Devices 71(5), 3417 (2024)

(240) **Ge-Fin Photodiodes with 3-dB Bandwidths Well Beyond 110 GHz for O-Band Receiver Subsystems.** D. Steckler, St. Lischke, A. Peczek, L. Zimmermann. Proc. 25th European Conference on Integrated Optics (ECIO 2024), in: Springer Proceedings in Physics, Springer, 402, 58 (2024)

(241) **On the Dynamic and Static Extinction Ratio of Germanium Electro-Absorption Modulators.** D. Steckler, St. Lischke, A. Peczek, L. Zimmermann. Proc. IEEE Silicon Photonics Conference (SiPhotonics 2024), WP2 (2024)

(242) **Light Propagation in Anisotropic Materials and Electro-Optical Effects: Tutorial on the Use of Eigenvalue Problems, Tensors, and Symmetries.** P. Steglich, A. Kehrein. Journal of the Optical Society of America B: Optical Physics 41(9), 2191 (2024)

(243) **Structural Changes in Ge_{1-x}Sn_x and Si_{1-x}yGe_ySn_x Thin Films on SOI Substrates Treated by Pulse Laser Annealing.** O. Steuer, D. Schwarz, M. Oehme, F. Bärwolf, Y. Cheng, F. Ganss, R. Hübner, R. Heller, S. Zhou, M. Helm, G. Cuniberti, Y.M. Georgiev, S. Prucnal. Journal of Applied Physics 136(5), 055303 (2024)

(244) **High Gain Graphene Based Hot Electron Transistor with Record High Saturated Output Current Density.** C. Strobel, C.A. Chavarin, M. Knaut, S. Völkel, M. Albert, A. Hiess, B. Max, Ch. Wenger, R. Kirchner, T. Mikolajick. Advanced Electronic Materials 10(2), 2300624 (2024)

(245) **P-Type Schottky Contacts for Graphene Adjustable-Barriers Phototransistors.** C. Strobel, C.A. Chavarin, M. Knaut, M. Albert, A. Heinzig, L. Gummadi, Ch. Wenger, T. Mikolajick. Nanomaterials 14(13), 1140 (2024)

(246) **An Ultra-Low Cost and Multicast-Enabled Asynchronous NoC for Neuromorphic Edge Computing.** Z. Su, S. Ramin, D.C. Marcolin, A. Veronesi, M. Krstic, G. Indiveri, D. Bertozzi, S. Nowick. IEEE Journal on Emerging and Selected Topics in Circuits and Systems 14(3), 409 (2024)

(247) **Chemical Vapor Deposition of Hexagonal Boron Nitride on Germanium from Borazine.** K.A. Su, S. Li, W.-C. Wen, Y. Yamamoto, M.S. Arnold. Chemistry of Materials 14(35), 25378 (2024)

(248) **Vital Signs Monitoring using 61.4 GHz CW MIMO Radar Sensor with LO-Scalable Low-Voltage Low-Power SiGe BiCMOS Chipset.** B. Sütbas, H.J. Ng, M.H. Eissa, C. Carta, G. Kahmen. Proc. 54th European Microwave Conference (EuMC 2024), 497 (2024)

(249) **FPGA Implementation of a Fault-Tolerant Fused and Branched CNN Accelerator with Reconfigurable Capabilities.** R.T. Syed, Y. Zhao, J.-C. Chen, M. Andjelkovic, M. Ulbricht, M. Krstic. IEEE Access 12, 57847 (2024)

(250) **A Survey on Multi-Level Fault Injection in AI Accelerators.** R.T. Syed, M. Andjelkovic, F. Vargas, M. Ulbricht, M. Krstic. Proc. International Conference on Radiation Applications (RAP 2024), abstr. book 110 (2024)

(251) **Aging and Soft Error Resilience in Reconfigurable CNN Accelerators Employing a Multi-Purpose On-Chip Sensor.** R.T. Syed, F. Vargas, M. Andjelkovic, M. Ulbricht, M. Krstic. Proc. 25th IEEE Latin-American Test Symposium (LATS 2024), (2024)

(252) **Asymmetric-Coupled Ge/SiGe Quantum Wells for Second Harmonic Generation at 7.1 THz in Integrated Waveguides: A Theoretical Study.** E. Talamas Simola, M. Ortolani, L. Di Gaspare, G. Capellini, M. De Seta, M. Virgilio. Nanophotonics 13(10), 1781 (2024)

(253) **BiCMOS BEOL Coupon Fabrication and Micro Transfer Printing for Heterogeneous Integration Applications.** S. Tolunay Wipf, St. Marschmeyer, M. Drost, K. Anand, M. Wietstruck. Proc. 10th IEEE Electronics System-Integration Technology Conference (ESTC 2024), (2024)

(254) **Distributed Data-Centric Application Logic Layer.** K. Turchan, K. Piotrowski. Proc. 15th Konferencja Naukowa Systemy Pomiarowe w badaniach naukowych i w przemyśle (SP 2024), 145 (2024)

(255) **The Impact of 5G-Enabled Edge-Cloud Services on Energy Facilities in Industry 4.0.** N. Tzanis, E. Mylonas, P. Papaioannou, C. Politi, A. Birbas, C. Tranoris, S. Denazis, I. Moraitis, A. Papalexopoulos, A. Tzanakaki, J. Gutierrez Teran. Edge Computing Architecture - Foundations, Applications, and Frontiers, 1st Edition, Editor: Y. Chen, R. Xu, Chapter

5. The Impact of 5G-Enabled Edge-Cloud Services on Energy Facilities in Industry 4.0, IntechOpen, 1 (2024)

(256) **Ein Ansatz zur Optimierung konfigurierbarer fehlertoleranter Systeme.** M. Ulbricht, M. Krstic. Proc. 36. ITG/GMM/GI-Workshop Testmethoden und Zuverlässigkeit von Schaltungen und Systemen (TuZ 2024), 12 (2024)

(257) **Machine Learning Model for Classification of Space Radiation.** S. Vairachilai, Z. Stamenkovic, S.P. Raja. Proc. International Conference on Radiation Applications (RAP 2024), abstr. book 107 (2024)

(258) **On-Chip Cross-Layer Infrastructure to Leverage System Reliability for Aero-Space Applications.** F. Vargas. Proc. 27th IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS 2024), 116 (2024)

(259) **On-Chip Infrastructure for Mission-Mode Monitoring of Aero-Space Applications: Towards Silicon Lifecycle Management.** F. Vargas. Proc. 31st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2024), 17 (2024)

(260) **On-Chip Infrastructure for Mission-Mode Monitoring of Aero-Space Applications: Towards Silicon Lifecycle Management.** F. Vargas. Proc. 31st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2024), abstr. book 18 (2024)

(261) **Robust Systems and Technology Dissemination for Space Applications: From Cross-Layer Analytics to an Open-Access Reliability Framework.** F. Vargas, M. Krstic, M. Andjelkovic, S. Andreev, A. Balashov, M. Ulbricht, J.-C. Chen. Proc. International Conference on Radiation Applications (RAP 2024), abstr. book 108 (2024)

(262) **On-Chip Sensor to Monitor Aging Evolution in FinFET-Based Memories.** F. Vargas, V. Galstyan, G. Harutyunyan, Y. Zorian. Proc. 30th IEEE International Symposium on On-Line Testing and Robust System Design (IOLTS 2024), (2024)

(263) **Silicon Lifecycle Management based on On-Chip Cross-Layer Sensing and Analytics for Space Applications.** F. Vargas, M. Krstic, M. Andjelkovic, M. Ulbricht, J.-C. Chen. Proc. 25th IEEE Latin American Test Symposium (LATS 2024), (2024)

(264) **Multi-Technology Localization-Assisted Millimeter Wave Beam Tracking.** R. Vasisht, V. Sark, J. Gutiérrez Teran, E. Grass. Proc. 100th IEEE Vehicular Technology Conference (VTC-Fall 2024), (2024)

(265) **Cross-Layer Reliability Analysis of NVDLA Accelerators: Exploring the Configuration Space.** A. Veronesi, A. Nazzari, D. Passarello, M. Krstic, M. Favalli, L. Cassano, A. Miele, D. Bertozzi, C. Bolchini. Proc. 29th IEEE European Test Symposium (ETS 2024), (2024)

(266) **A Study of Elliptic Curve Cryptography and its Applications.** U. Vijay Nikhil, Z. Stamenkovic, S.P. Raja. International Journal of Image and Graphics (2024)

(267) **Machine Learning-Based Crop Yield Prediction in South India: Performance Analysis of Various Models.** U. Vijay Nikhil, A.M. Pandiyan, S.P. Raja, Z. Stamenkovic. Computers (MDPI) 13(6), 137 (2024)

(268) **Design, Fabrication, and Characterization of Integrated Optical Through-Silicon Waveguides for 3D Photonic Interconnections.** F. Villasmunta, P. Steglich, C. Villringer, S. Schrader, H. Schenk, A. Mai, M. Regehy. Proc. 24th SPIE Optical Interconnects (OPTO 2024), 12892, 128920I (2024)

(269) **On the Asymmetry of Resistive Switching Transitions.** G. Vinuesa, H. Garcia, E. Perez, Ch. Wenger, I. Iniguez-de-la-Torre, T. Gonzalez, S. Duenas, H. Castan. Electronics (MDPI) 13(13), 2639 (2024)

(270) **Enhancing Cyber-Resilience in Cyber-Physical Systems of Systems: A Methodical Approach.** E. Vogel, P. Langendörfer. Proc. iCampus Cottbus Conference (iCCC 2024), 146 (2024)

(271) **Characterization, Analysis, and Modeling of Long-Term RF Reliability and Degradation of SiGe HBTs for High Power Density Applications.** C. Weimer, G.G. Fischer, M. Schröter. IEEE Transactions on Device and Materials Reliability 24(1), 20 (2024)

(272) **Lateral Mn₅Ge₃ Spin-Valve in Contact with a High-Mobility Ge Two-Dimensional Hole Gas.** D. Weißhaupt, C. Sürgers, D. Bloos, H.S. Funk, M. Oehme, G. Fischer, M.A. Schubert, Ch. Wenger, J. van Slageren, I.A. Fischer, J. Schulze. Semiconductor Science and Technology 39(12), 125004 (2024)

(273) **Cycle-Accurate FPGA Emulation of RRAM Crossbar Array: Efficient**

Device and Variability Modeling with Energy Consumption Assessment. J. Wen, F. Vargas, F. Zhu, D. Reiser, A. Baroni, M. Fritscher, E. Perez, M. Reichenbach, Ch. Wenger, M. Krstic. Proc. 25th IEEE Latin-American Test Symposium (LATS 2024), (2024)

(274) **Towards Reliable and Energy-Efficient RRAM based Discrete Fourier Transform Accelerator.** J. Wen, A. Baroni, E. Perez, M. Uhlmann, M. Fritscher, K. Krishnegowda, M. Ulbricht, Ch. Wenger, M. Krstic. Proc. 27th Design, Automation and Test in Europe (DATE 2024), (2024)

(275) **Differential-Mode Power Detection for Built-In Self-Test of SiGe Automotive Radar Transceiver Front Ends.** Y. Wenger, H.J. Ng, F. Korndörfer, B. Meinerzhagen, V. Issakov. IEEE Transactions on Microwave Theory and Techniques 72(8), 4717 (2024)

(276) **Photoluminescence of Three-Dimensional Self-Aligned SiGe Nanodots.** W.-C. Wen, D. Wang, K. Yamamoto, M.A. Schubert, R. Sorge, B. Tillack, Y. Yamamoto. Proc. 56th International Conference on Solid State Device and Materials (SSDM 2024), 543 (2024)

(277) **Fabrication and Implementation of BiCMOS BEOL Silicon Interposer Technologies with Integrated Metal Reflectors for Sub-THz Leaky-Wave Antennas.** M. Wietstruck, P. Krüger, T. Voß, T. Mausolf, M.F. Bashir, A. Bhutani. Proc. 10th IEEE Electronics System-Integration Technology Conference (ESTC 2024), (2024)

(278) **Ge Epitaxy at Ultralow Growth Temperatures Enabled by a Pristine Growth Environment.** Ch. Wilflingseder, J. Aberl, E.P. Navarette, G. Hesser, H. Groiss, M.O. Liedke, M. Butterling, A. Wagner, E. Hirschmann, C. Corley-Wiciak, M.H. Zoellner, G. Capellini, T. Fromherz, M. Brehm. ACS Applied Electronic Materials 6(12), 9029 (2024)

(279) **Room Reconstruction Based on Bi-Static mmWave Radar using the Antenna Pattern Information.** L. Wimmer, M. Petri, E. Grass. IEEE Access 12, 109759 (2024)

(280) **High Frequency Properties of an Integrated PJFET for Sensor Applications.** Ch. Wipf, R. Sorge. Proc. iCampus Cottbus Conference (iCCC 2024), 216 (2024)

(281) **Automated Modular Application Development.** K. Woloszyn, K. Piotrowski. Proc. 15th Konferencja Naukowa Systemy Pomiarowe w badaniach naukowych i w przemyśle (SP 2024), 165 (2024)

(282) **Real-Time Wideband Video Synchronization via an Analog QPSK Costas Loop in a Laboratory Demonstration of an E-Band Satellite Downlink.** J. Wörmann, L. Manoliu, S. Haussmann, M. Krstic, I. Kallfass. Proc. IEEE Space Hardware and Radio Conference (SHARC 2024), 23 (2024)

(283) **A 60 GHz Broadband LNA with Joined Variable Gain Control and Switching in 22 nm FD-SOI.** X. Xu, J. Wagner, C. Carta, F. Ellinger. IEEE Access 12, 111627 (2024)

(284) **Piezo Electric Properties of Epitaxial SiGe.** Y. Yamamoto, W.-C. Wen, N. Inomata, A.A. Corley-Wiciak, D. Ryzhak, C. Corley-Wiciak, R. Sorge, B. Tillack, T. Ono, Z. Zhizian. ECS Meeting Abstracts MA2024-02, 2369 (2024)

(285) **Piezo Electric Properties of Epitaxial SiGe.** Y. Yamamoto, W.-C. Wen, N. Inomata, A.A. Corley-Wiciak, D. Ryzhak, C. Corley-Wiciak, R. Sorge, B. Tillack, T. Ono, Z. Zhizian. ECS Transactions 114(2), 353 (2024)

(286) **Thin and Locally Dislocation-Free SiGe Virtual Substrate Fabrication by Lateral Selective Growth.** Y. Yamamoto, W.-C. Wen, M.A. Schubert, A.A. Corley-Wiciak, S. Sugawa, Y. Ito, R. Yokogawa, H. Han, R. Loo, A. Ogura, B. Tillack. Japanese Journal of Applied Physics 63(2), 02SP53 (2024)

(287) **The Interplay between Strain, Sn Content, and Temperature on Spatially-Dependent Bandgap in Ge_{1-x}Sn_x Microdisks.** I. Zaitsev, A.A. Corley-Wiciak, C. Corley-Wiciak, M.H. Zoellner, C. Richter, E. Zatterin, M. Virgilio, B. Martín-García, D. Spirito, C.L. Manganelli. Physica Status Solidi - Rapid Research Letters 18(3), 2300348 (2024)

(288) **High-Efficiency Gesture Recognition using Multiple mmWave FMCW RADARS.** Y. Zhao, V. Sark, M. Krstic, E. Grass. Proc. 11th International Symposium on Networks, Computers and Communications (ISNCC 2024), (2024)

(289) **Low-Complexity Gesture Recognition based on FMCW Radar.** Y. Zhao, V. Sark, M. Krstic, E. Grass. Proc. 21st European Radar Conference (EuRAD 2024), 388 (2024)

(290) **Multi-Target Vital Signs Monitoring using SIMO CW RADAR.** Y. Zhao, V. Sark, N. Maletic, M. Krstic, E. Grass. Proc. iCampus Cottbus Conference (iCCC 2024), 153 (2024)

(291) **Distributed Data-Centric Maintenance and Management Layer for WSN.** P. Zielony, K. Piotrowski. Proc. 15th Konferencja Naukowa Systemy

Pomiarowe w badaniach naukowych i w przemyśle (SP 2024), 169 (2024)

(292) **Modular Development of Data-Centric Applications for Edge Devices.** P. Zielony, K. Piotrowski. Proc. 15th Konferencja Naukowa Systemy Pomiarowe w badaniach naukowych i w przemyśle (SP 2024), 173 (2024)

Eingeladene Vorträge Invited Presentations

(1) **Self-Assembled Si Color Centers: Confinement to the Nanoscale via Ultra-Low Temperature Molecular Beam Epitaxy.** J. Aberl, E. Prado-Navarrete, M. Karaman, D.H. Enriquez, C. Wilflingseder, A. Salomon, D. Primetzhof, M.A. Schubert, G. Capellini, T. Fromherz, P. Deák, Á. Galí, M. Brehm. Pacific Rim Meeting on Electrochemical and Solid-State Science (PRIME 2024), Honolulu, October 06 - 11, 2024, USA

(2) **Integrated Energetic Particle Detectors for Radiation Environments.** M. Andjelkovic. Symposium on NATO Science for Peace and Security Project (NATO SPS 2024), Nis, November 05 - 07, 2024, Serbia

(3) **On-Chip Particle Detectors for Self-Adaptive Integrated Circuits for Space Applications.** M. Andjelkovic. International Conference on Radiation Applications (RAP 2024), Granada, June 10 - 12, 2024, Spain

(4) **Resilient Processing Platform for 6G Mobile Networks.** M. Andjelkovic, J.-C. Chen, R.T. Syed, F. Vargas, M. Ulbricht. FPGA Ignite Summer School (2024), Heidelberg, August 05 - 09, 2024, Germany

(5) **Evaluating the First Year of IHP Open Source PDK: Experiences and Future Initiatives.** S. Andreev, K. Herman, R.F. Scholz. Forum on Specification and Design Languages (FDL 2024), Stockholm, September 05, 2024, Sweden

(6) **Use Case: Sustainable Use of a Smartphone and Regulatory Needs.** M. Birkholz. European Dialogue on Internet Governance (EuroDIG 2024), Vilnius, June 17 - 19, 2024, Lithuania

(7) **Electrically Pumped GeSn/SiGeSn Lasers.** D. Buca, T. Liu, L. Seidel, O. Concepcion, J.-M. Hartmann, A. Chelnokov, G. Capellini, D. Grützmacher, M. Oehm. 11th SiGe, Ge, & Related Compounds: Materials, Processing and Devices Symposium (ECS Meeting 2024), Honolulu, October 06 - 11, 2024, USA

(8) **Electrically Pumped GeSn/SiGeSn Lasers.** D. Buca, T. Liu, L. Seidel, O. Concepcion, J.-M. Hartmann, A. Chelnokov, G. Capellini, D. Grützmacher, M. Oehm. Pacific Rim Meeting on Electrochemical and Solid-State Science (PRIME 2024), Honolulu, October 06 - 11, 2024, USA

(9) **Advanced Characterization of the Crystal Lattice in Group IV Quantum Wells.** G. Capellini. International Conference on Nanostructures and Nanomaterials Self-Assembly (NanoSEA 2024), Marseille, July 16 - 19, 2024, France

(10) **SiGe BiCMOS Integrated Circuits and Systems for Sub-THz Communication and Sensing.** C. Carta. 1st Indo-German Joint Scientific Workshop on Terahertz Technology for Industrial Application (TTIA 2024), Pilani, October 03 - 05, 2024, India

(11) **SiGe BiCMOS Integrated Transceivers and Module Integration for Resilient Communication at D-Band.** C. Carta, K. Krishnegowda, A. Malinaggi, B. Sütbas. Berlin 6G Conference (2024), Berlin, July 02 - 04, 2024, Germany

(12) **Reliability Assessment of Large DNN Models: Trading Off Performance and Accuracy.** J.-C. Chen, G. Esposito, F.F. dos Santos, J.-D. Guerrero-Balaguera, A. Kritikakou, M. Krstic, R. Limas, J.E. Rodríguez Condia, M. Sonza Reorda, M. Traiola, A. Veronesi. 32nd IFIP/IEEE International Conference on Very Large Scale Integration (VLSI-SoC 2024), Tanger, October 06 - 09, 2024, Morocco

(13) **Integrated Sensing and Communications (ISAC) - Challenges, Technologies and Results.** E. Grass, E. Sedunova, P. Geranmajeh. 12th FOKUS FUSECO Forum (FFF 2024), Berlin, November 07 - 08, 2024, Germany

(14) **IHP Open Source PDK - Sharing Experience after one Year of Development.** K. Herman, R.F. Scholz, S. Andreev. GDR SOC2 - IEEE CASS "Tour de France" - Workshop: Open Hardware: The New Road?, Grenoble, April 19, 2024, France

(15) **Reflections on the First European Open Source PDK by IHP - Experiences After One Year and Future Activities.** K. Herman, R.F. Scholz, S. Andreev. 31st International Conference Mixed Design of Integrated Circuits and Systems (MIXDES 2024), Gdansk, June 27 - 28, 2024, Poland

- (16) **High Mobility GeSn Nanowire CMOS.** Y. Junk, O. Concepción, M. Frauenrath, J. Sun, J.H. Bae, F. Bärwolf, A. Mai, J.M. Hartmann, D. Grützmacher, D. Buca, Q.T. Zhao. Pacific Rim Meeting on Electrochemical and Solid-State Science (PRIME 2024), Honolulu, October 06 - 11, 2024, USA
- (17) **BiCMOS-based THz Mixed-Signal Platform for 6G Applications - Challenges and Chances.** M. Krstic, C. Carta, A. Malignaggi, B. Sütbas, C. Herold, K. Krishne Gowda, L. Wimmer, M. Scheide, M. Ulbricht, H. Borchert, M. Wietstruck, A. Mai, E. Grass, V. Sark, M.H. Eissa, N. Maletic, L. Lopacinski. iCampus Conference Cottbus (iCCC 2024), Cottbus, May 14 - 16, 2024, Germany
- (18) **AI and Microelectronics – Reliability View.** M. Krstic. 15th International Symposium on Industrial Electronics and Applications (INDEL 2024), Banja Luka, November 06 - 08, 2024, Bosnia and Herzegovina
- (19) **Peakrad - A Completely European, ITAR-Free Microcontroller for Space Applications.** F.A. Kuentzer, K. Tittelbach-Helmrich, M. Schmidt, J. Cueto, C. Calligaro, A. Blomberg, M. Krstic, C. Duran, U. Gatti, C. Ferdinand. International Conference on Radiation Applications (RAP 2024), Granada, June 10 - 12, 2024, Spain
- (20) **Photonic BiCMOS Technology - Enabler of High-Speed Monolithic EPIC.** St. Lischke, L. Zimmermann. European Microwave Week (EuMW 2024), Paris, September 22 - 26, 2024, France
- (21) **Graphene for Photonic Applications.** M. Lukosius, R. Lukose, P.K. Dubey, A.I. Raju, M. Lisker, A. Mai, Ch. Wenger. 47th International ICT and Electronics Convention (MIPRO 2024), Opatija, May 20 - 24, 2024, Croatia
- (22) **Graphene 200 mm CMOS Integration: Navigating Challenges for Advanced Devices.** M. Lukosius. 38. Chemnitzer Seminar zu Prozessen und Technologien für Nanodevices (Chemnitzer Seminare 2024), Chemnitz, February 27 - 28, 2024, Germany
- (23) **Group IV-based Devices Integration for Functional and Sustainable Technologies – Benefits and Drawbacks of Monolithic and Hybrid Integration Approaches.** A. Mai, S. Schulze, Ch. Mai. 15th International Workshop on New Group IV Semiconductor Nanoelectronics (EL4GroupIV 2024), Sendai, October 21 - 22, 2024, Japan
- (24) **All Around the Thermo-Opto-Mechanical Properties of GeSn Optoelectronic Devices.** C.L. Manganelli, I. Zaitsev, A.A. Corley-Wiciak, C. Corley-Wiciak, M.H. Zoellner, M. Virgilio, C. Richter, E. Zatterin, B. Martín-García, D. Spirito. E-MRS Fall Meeting (2024), Warsaw, September 16 - 19, 2024, Poland
- (25) **Strain Engineering in CMOS Micro-Electronics. How to Tailor.** C.L. Manganelli, I. Zaitsev, A.A. Corley-Wiciak, C. Corley-Wiciak, M.H. Zoellner, M. Virgilio, C. Richter, E. Zatterin, B. Martín-García, D. Spirito. Applied Mathematics and Simulation for Semiconductor Devices (AMASIS 2024), Berlin, September 10 - 13, 2024, Germany
- (26) **New Materials and Devices for Future Microelectronic Applications.** E. Perez. Lectures of the Master Degree in Telecommunications Engineering at the University of Grenada (2024), Granada, May 16, 2024, Spain
- (27) **New Materials and Devices for Future Microelectronic Applications.** E. Perez. Lectures of the Master Degree in Electronics Engineering at the University of Valladolid (2024), Valladolid, October 21, 2024, Spain
- (28) **Promises and Challenges of CMOS-Compatible RRAM Technology for In-Memory Computing Applications.** E. Perez, K.D.S. Reddy, E. Perez-Bosch Quesada, A. Baroni, M. Uhlmann. IEEE International Integrated Reliability Workshop (IIRW 2024), Fallen Leaf Lake, October 06 - 10, 2024, USA
- (29) **Promises and Challenges of Optimized 130 nm CMOS-Integrated RRAM Devices for Hardware-based Artificial Neural Networks.** E. Perez, K.D.S. Reddy, E. Perez-Bosch Quesada, A. Baroni, M. Uhlmann. 10th Modeling, Simulation and Technology Summer School (SiNANO ACADEMY 2024), Giessen, October 01 - 02, 2024, Germany
- (30) **Vector-Matrix Multiplications with RRAM Devices: An Experimental Approach.** E. Perez-Bosch Quesada. High-K Application Workshop (2024), Dresden, March 11 - 12, 2024, Germany
- (31) **Advancing Si Spin Qubit Research: Process Integration of Hall Bar FETs on Si/SiGe in a 200mm BiCMOS Pilot Line.** F. Reichmann, A. Mistrone, Y. Yamamoto, P. Kulse, St. Marschmeyer, D. Wolansky, O. Fursenko, M.H. Zoellner, G. Capellini, L. Diebel, D. Bougeard, M. Lisker. Pacific Rim Meeting on Electrochemical and Solid-State Science (PRIME 2024), Honolulu, October 06 - 11, 2024, USA
- (32) **Integrated Sensing and Communication for Industrial Applications in Sub-6 GHz and mmWave Bands.** V. Sark. Berlin 6G Conference (2024), Berlin, July 02 - 04, 2024, Germany
- (33) **BeGREEN: Experimental Validation of a RIS-Aided ISAC System.** V. Sark. SNS Phase 1 & 2 - Online Workshop on Integrated Sensing and Communication Towards 6G (2024), online, October 08, 2024, Germany
- (34) **Open Source Tools und open PDK für einen einfachen Zugang zum Chip Entwurf, Status, Herausforderungen und Roadmap für die IHP BiCMOS Technologie „SG13G2“.** R.F. Scholz, S. Andreev, K. Herman. 67. Workshop der Multi Projekt Chip Gruppe (MPC-Gruppe 2024), Karlsruhe, January 18 - 19, 2024, Germany
- (35) **Raman Spectroscopy for Epitaxial Silicon-Germanium-Tin Alloys.** D. Spirito, A.A. Corley-Wiciak, O. Concepción, S. Chen, D. Ryzhak, M.H. Zoellner, C.L. Manganelli, T. Li, D. Buca, G. Capellini. Pacific Rim Meeting on Electrochemical and Solid-State Science (PRIME 2024), Honolulu, October 06 - 11, 2024, USA
- (36) **Robust Systems and Technology Dissemination for Space Applications: From Cross-Layer Analytics to an Open-Access Reliability Framework.** F. Vargas, M. Krstic, M. Andjelkovic, S. Andreev, A. Balashov, M. Ulbricht, J.-C. Chen. International Conference on Radiation Applications (RAP 2024), Granada, June 10 - 12, 2024, Spain
- (37) **Silicon Lifecycle Management Based on On-Chip Cross-Layer Sensing & Analytics for Space Applications.** F. Vargas, M. Krstic, M. Andjelkovic, M. Ulbricht, J.-C. Chen. 25th IEEE Latin American Test Symposium (LATS 2024), Maceió, April 09 - 12, 2024, Brazil
- (38) **Advancements in IHP's SG13G2 Open-Source PDK and EDA Tool Development.** F. Vater. Conference for Open Source Coders, Users & Promoters (COSUP 2024), Taipei, August 03 - 04, 2024, Taiwan
- (39) **Cross-Layer Reliability Analysis of NVDLA Accelerators: Exploring the Configuration Space.** A. Veronesi, A. Nazzari, D. Passarello, M. Krstic, M. Favalli, L. Cassano, A. Miele, D. Bertozzi, C. Bolchini. 29th IEEE European Test Symposium (ETS 2024), The Hague, May 20 - 24, 2024, The Netherlands
- (40) **Towards Neuromorphic Computing with HfO2 Based Memristive Devices.** Ch. Wenger. Institute Colloquium of Groningen University (2024), Groningen, October 15, 2024, The Netherlands
- (41) **Integration Aspects of Hafnium Oxide-based Memristive Devices.** Ch. Wenger, E. Perez-Bosch Quesada, A. Baroni, E. Perez, K.D.S. Reddy. Global Conference on Materials in an Explosively Growing Informatics World (Cimtec 2024), Montecatini Terme, June 20 - 24, 2024, Italy
- (42) **Towards Neuromorphic Computing using ALD Grown HfO2 Based Memristive Devices.** Ch. Wenger. 24th International Conference on Atomic Layer Deposition (ALD/ALE 2024), Helsinki, August 04 - 07, 2024, Finland
- (43) **The Photonic BiCMOS Platform of IHP.** G. Winzer. Workshop: Photonic Integrated Circuits – from Platform to Packaging (2024), Berlin, April 09, 2024, Germany
- (44) **Heteroepitaxy of Group IV Materials: Influence of Interface Strains on Surface Reactions.** Y. Yamamoto. FZ Jülich Seminar Week (2024), Scheersberg, August 26 - September 02, 2024, Germany
- (45) **Evaluation of Piezo Electric Properties of Epitaxial SiGe for Strain Sensor Application.** Y. Yamamoto, W.-C. Wen, N. Inomata, A.A. Corley-Wiciak, D. Ryzhak, C. Corley-Wiciak, Z. Zhizian, R. Sorge, B. Tillack, T. Ono. 15th International Workshop on New Group IV Semiconductor Nanoelectronics (EL4GroupIV 2024), Sendai, October 21 - 22, 2024, Japan
- (46) **IHP Open Source PDK: KLayout Pycell Development Status.** T. Zecha, S. Andreev, K. Herman. Free Silicon Conference (FSiC 2024), Paris, June 19 - 21, 2024, France

Berichte

Reports

- (1) **IHPms21: Ab Initio Simulation of Materials for Si-Compatible Microelectronics.** J. Dabrowski, F. Akhtar, M. Franck, M. Lukosius, F. Reichmann. Gauss Centre for Supercomputing (CGS) Web Report zu finden unter: <https://www.gauss-centre.eu/results/materials-science-and-chemistry/ab-initio-simulation-of-materials-for-si-compatible-microelectronics>

(2) **PANDA WP2: Design and Manufacturing Steps from the Initial Idea to the Final Product.** I. Kabin, Z. Dyka, K. Lehniger, M. Ulbricht, P. Langendörfer

(3) **PANDA WP3: Identification of Potential Vulnerabilities and Attack Scenarios Including a Detailed Elaboration of Selected Attack Scenarios.** I. Kabin, Z. Dyka, M. Froberg, F. Vater, G. Panic, A.A. Sigourou, P. Langendörfer

(4) **PANDA WP4: Prevention and Detection Options, Risk Assessment and Recommendations.** I. Kabin, Z. Dyka, J. Schäffner, P. Langendörfer

(5) **PANDA WP5: Final Presentation Analysis of Hardware Manipulations in Distributed Manufacturing Processes.** I. Kabin, Z. Dyka, P. Langendörfer

(6) **GaN on Si Metrology Activity by IHP.** M.H. Zoellner. Final Report

(7) **GaN on Si Metrology Activity by IHP.** M.H. Zoellner. Final Report

Habilitationen/Dissertationen Habitations/Dissertations

(1) **The Development and Characterization of a Cu-Pillar Flip-Chip Package for mm-Wave Applications.** Z. Cao. Dissertation, TU Berlin, Germany, (2024)

(2) **Scanning X-Ray Diffraction Microscopy Reveals the Nanoscale Strain Landscape of Novel Quantum Devices.** C. Corley-Wiciak. Dissertation, Humboldt-Universität zu Berlin, Germany, (2024)

(3) **480-GHz Transmitter and Receiver in 130-nm SiGe BiCMOS Technology for Gas Spectroscopy.** A. Güner. Dissertation, Universität Ulm, Germany, (2024)

(4) **High Speed and Efficient Transmitter Circuits for Optical Modulators.** M. Inac. Dissertation, TU Berlin, Germany, (2024)

(5) **In-Depth Electrical Characterization of HfO₂-Based Memristive Devices for their Integration in CMOS-Compatible Neuromorphic Systems.** E. Perez-Bosch Quesada. Dissertation, BTU Cottbus-Senftenberg, Germany, (2024)

(6) **Investigation of Sensitivity of Different Logic and Memory Cells to Laser Fault Injections.** D. Petryk. Dissertation, BTU Cottbus-Senftenberg, Germany, (2024)

(7) **Investigation of the Different Abstraction Levels for the Design of RRAM-based Systems.** T. Rizzi. Dissertation, BTU Cottbus-Senftenberg, Germany, (2024)

(8) **Enhancement of Group-IV Optoelectronic Sensing Devices through Materials Engineering and Nanostructuring.** J. Schlipf. Dissertation, BTU Cottbus-Senftenberg, Germany, (2024)

(9) **61 GHz Ultra-Low-Power Chipset in 130-nm SiGe BiCMOS Technology for CW Radar Applications.** B. Sütbas. Dissertation, BTU Cottbus-Senftenberg, Germany, (2024)

(10) **Hand Gesture Recognition using mm-Wave RADAR Technology.** Y. Zhao. Dissertation, Humboldt-Universität zu Berlin, Germany, (2024)

Diplomarbeiten/Masterarbeiten/ Bachelorarbeiten Diploma Theses/Master Theses/ Bachelor Theses

(1) **Design and Analysis of a 122-GHz Doherty Power Amplifier in 130-nm SiGe BiCMOS.** L. Áruquipa Callata. Master Thesis, University of Brescia, Italy, (2024)

(2) **Aplikacja Serwisowa do Monitorowania i Analizy Danych w Domowej Sieci Energetycznej.** M. Bakiewicz. Bachelor Thesis, University of Zielona Góra, Poland, (2024)

(3) **Fabrication and Characterizations of hBN Test Structures.** M. Choud-

hary. Master Thesis, BTU Cottbus-Senftenberg, Germany, (2024)

(4) **Deposition and Characterization of TiO₂ for Hydrogen Sensor at Room Temperature.** A. Imran. Master Thesis, University of Siegen, Germany, (2024)

(5) **Integration eines KI-Hardwarebeschleunigers in einem RISC-V basiertem SOC.** W. Kellmann. Bachelor Thesis, Universität Potsdam, Germany, (2024)

(6) **Security Issues on the OpenPLC Project and Corresponding Solutions.** Ch. Kim. Master Thesis, BTU Cottbus-Senftenberg, Germany, (2024)

(7) **Definicja i Implementacja Uniwersalnego Modułu Bazy Danych dla Rozwiązania Middleware SmartDSM.** M. Komarowski. Bachelor Thesis, University of Zielona Góra, Poland, (2024)

(8) **Frequency-Interleaving Integrated Circuits for Broadband Sub-THz Wireless Communication.** M.-I. Kravchenko. Master Thesis, TU Berlin, Germany, (2024)

(9) **Distinguishability Investigation on Longa's Atomic Patterns when used as a Basis for Implementing Elliptic Curve Scalar Multiplication Algorithms.** S.H. Li. Master Thesis, BTU Cottbus-Senftenberg, Germany, (2024)

(10) **Characterization of 1T1R RRAM Devices for Modelling.** I. Menendez Novella. Master Thesis, TH Mittelhessen, Giessen, Germany, (2024)

(11) **Design of Test Structures and Experimental Characterization of Avalanche Noise Diodes in 130-nm SiGe:C BiCMOS Technology.** L. Menicucci Salamanca. Master Thesis, University of Perugia, Italy, (2024)

(12) **Optoelectrical Characterization of TiN Nanohole Array-Based Reflective Index Sensor with Microfabrication and Electrical Characterization of Microheaters and Metal Oxide Devices.** A. Mudundi. Master Thesis, BTU Cottbus-Senftenberg, Germany, (2024)

(13) **Exploration of Dynamics and Application of Spike-Timing-Dependent Plasticity.** M. Nowaczyk. Bachelor Thesis, Universität Potsdam, Germany, (2024)

(14) **Definicja i Implementacja Frontendu dla Części Aplikacji Zapewniającej Dostęp do Centrum Zarządzania Siecią Energetyczną.** F. Oplotny. Bachelor Thesis, University of Zielona Góra, Poland, (2024)

(15) **Simulation and Experimental Characterisation of Plasmonic Metamaterials in the THz-Range.** S.S. Sennakesavaperumal. Master Thesis, BTU Cottbus-Senftenberg, Germany, (2024)

(16) **Injection Locked Oscillator Design for mm-Wave Radar Applications.** D. Ursini. Master Thesis, University of Aquila, Italy, (2024)

Patente

Patents

(1) **Method of Placing a FEOL Component on a Target Substrate.** K. Anand, A. Mai, R. Lukose, Y. Yamamoto. IHP.545, EP-Patentanmeldung am 07.10.2024, AZ: EP 24 205 041.7

(2) **Cryptographic Hardware Accelerator with Dynamic Reconfigurable Redundancy.** Z. Dyka, I. Kabin, A.A. Sigourou, P. Langendörfer. IHP.548, EP-Patentanmeldung am 25.03.2024, AZ: EP 24 165 926.7

(3) **Wireless Communication System and Method Utilizing Spatial and Spectral Multiplexing Aided by Beam Squinting.** E. Grass, N. Maletic. IHP.542, EP-Patentanmeldung am 19.04.2024, AZ: EP 24 171 278.5

(4) **Reflection Device for Wireless Communication, Wireless Communication Apparatus, System, and Operating Method.** N. Maletic, E. Grass. IHP.550, EP-Patentanmeldung am 29.11.2024, AZ: EP 24 216 598.3

(5) **Physical Layer Security Key Generation for Wireless Communication.** N. Manjappa, E. Grass, L. Wimmer, V. Sark. IHP.539, EP-Patentanmeldung am 22.11.2024, AZ: EP 24 214 768.4

(6) **Method for Fabricating an Electronic or Optoelectronic Device and an Electronic or Optoelectronic Device.** O. Skibitzki, Ch. Wenger, I.A. Fischer, L. Augel. IHP.546, EP-Patentanmeldung am 19.12.2024, AZ: EP 24 221 849.3

(7) **Calibration of Continuous-Wave Short-Range Radar System at Intermediate Frequency.** B. Sütbas, G. Kahmen. IHP.551, EP-Patentanmeldung am 15.11.2024, AZ: EP 24 213 277.7

Impressum

Imprint

Herausgeber Publisher

IHP GmbH – Leibniz-Institut für innovative Mikroelektronik | Leibniz Institute for High Performance Microelectronics

Postadresse Postbox

Postfach 1466 | Postbox 1466, 15204 Frankfurt (Oder),
Deutschland | Germany

Besucheradresse Address for Visitors

Im Technologiepark 25, 15236 Frankfurt (Oder),
Deutschland | Germany

Telefon | Fon: +49 335 56250, Telefax | Fax: +49 335 5625300

E-Mail: ihp@ihp-microelectronics.com,

Internet: www.ihp-microelectronics.com

Redaktion Editors

Inesa Posypai

Jonas Linzert

Dr. Anna Sojka-Piotrowska

Gestaltung und Satz Design and layout

IHP GmbH

Druck Printing

Chromik Offsetdruck, Marie-Curie-Straße 8, 15236 Frankfurt
(Oder)

Telefon | Fon: +49 335 5212773, Telefax | Fax: +49 335 5212776

E-Mail: kai.chromik@online.de

Internet: www.chromikoffsetdruck.de

Bildnachweise Photo credits

IHP, Patrick Pleul, Frederic Schweizer, Matthias Baumbach, Uwe Steinert, Fraunhofer Mikroelektronik, BTU Cottbus-Senftenberg, Thomas Ritter Fotografie, Ken Schluchtmann, loewn, TeraSi AB, Drees & Sommer, Martin Römer, Sabanci Üniversitesi/GazeteSU



Leibniz Institute
for High
Performance
Microelectronics



Im Technologiepark 25
15236 Frankfurt (Oder)
Germany
Telefon +49 335 5625 0
Fax +49 335 5625 300